

Docket No.: NEC04P047-KSe
WAK.126

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

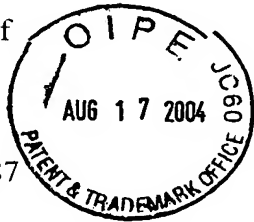
Yoji Nishio, et al.

Serial No.: 10/816,187

Filing Date: April 2, 2004

For: SIGNAL TRANSMITTING SYSTEM

Honorable Commissioner of Patents
Alexandria, VA 22313-1450



Group Art Unit: Not Yet Assigned

Examiner: Unknown

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Submitted herewith is a certified copy of Japanese Application Number 2003-101741
filed on April 4, 2003, upon which application the claim for priority is based.

Respectfully submitted,

Sean M. McGinn, Esq.
Registration No. 34,386

Date:

8/17/04
McGinn & Gibb, PLLC
Intellectual Property Law
8321 Courthouse Road, Suite 200
Vienna, VA 22182-3817
(703) 761-4100
Customer No. 21254

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 4 日
Date of Application:

出 願 番 号 特 許 第 3 - 1 0 1 7 4 1
Application Number:

[ST. 10/C]: [3 0 3 - 1 0 1 7 4 1]

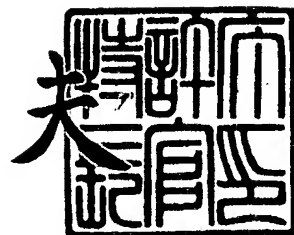
出 願 人 エルピーダメモリ株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310319

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0175

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社内

【氏名】 西尾 洋二

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社内

【氏名】 船場 誠司

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100123788

【弁理士】

【氏名又は名称】 宮崎 昭夫

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 201087

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 委任状 1

【援用の表示】 平成 1 5 年 3 月 2 7 日提出の包括委任状を援用する。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号伝送システム

【特許請求の範囲】

【請求項 1】 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 1 の電源電圧が供給され、前記第 2 の半導体集積回路装置においては前記第 2 の電源電圧が供給される Push-pull 構成のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端が C T T 終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された信号伝送システム。

【請求項 2】 前記第 1 の電源電圧を V_1 、前記第 2 の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.25 (V_1 + V_2)$$

である請求項 1 記載の信号伝送システム。

【請求項 3】 前記第 1 の電源電圧と接地電位間に直列に挿入される、抵抗値が等しい第 1 の抵抗器及び第 2 の抵抗器と、

前記第 2 の電源電圧と接地電位間に直列に挿入される、抵抗値が前記第 1 の抵

抗器及び第 2 の抵抗器と等しい第 3 の抵抗器及び第 4 の抵抗器と、
を有し、

前記第 1 の抵抗器と第 2 の抵抗器の接続端、及び前記第 3 の抵抗器と第 4 の抵抗器の接続端が互いに接続され、該接続端から前記基準電圧が出力される請求項 2 記載の信号伝送システム。

【請求項 4】 前記第 1 の電源電圧と接地電位間に直列に挿入される、抵抗値が等しい第 1 の抵抗器及び第 2 の抵抗器と、

前記第 2 の電源電圧と接地電位間に直列に挿入される、抵抗値が前記第 1 の抵抗器及び第 2 の抵抗器と等しい第 3 の抵抗器及び第 4 の抵抗器と、

前記第 1 の抵抗器と第 2 の抵抗器の接続端、及び前記第 3 の抵抗器と第 4 の抵抗器の接続端間に直列に挿入される、抵抗値が前記第 1 の抵抗器、前記第 2 の抵抗器、前記第 3 の抵抗器及び前記第 4 の抵抗器と等しい第 5 の抵抗器及び第 6 の抵抗器と、
を有し、

前記第 5 の抵抗器と第 6 の抵抗器の接続端から前記基準電圧が出力される請求項 2 記載の信号伝送システム。

【請求項 5】 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 1 の電源電圧が供給され、前記第 2 の半導体集積回路装置においては前記第 2 の電源電圧が供給される Push-pull 構成のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 2 の電源電圧の $1/2$ の電圧が終端電圧として供給され、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端が VTT 終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項6】 前記第2の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.5 V_2$$

である請求項5記載の信号伝送システム。

【請求項7】 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第2の電源電圧の $1/2$ の電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧の $1/2$ の電圧が終端電圧として供給される、終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された信号伝送システム。

【請求項 8】 前記第 1 の電源電圧を V_1 、前記第 2 の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.25 (V_1 + V_2)$$

である請求項 7 記載の信号伝送システム。

【請求項 9】 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 1 の電源電圧が供給され、前記第 2 の半導体集積回路装置においては前記第 2 の電源電圧が供給される Push-pull 構成のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 2 の電源電圧の $1/2$ の電圧が終端電圧として供給され、前記第 2 の半導体集積回路装置においては前記第 1 の電源電圧の $1/2$ の電圧が終端電圧として供給される、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端が VTT 終端されたレシーバとを有し、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項 10】 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 1 の電源電圧が供給さ

れ、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給される Push-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ 備える、前記第1の電源電圧の $1/2$ の電圧が終端電圧として供給され、抵抗値 が前記特性インピーダンスに等しい終端抵抗により信号受信端が VTT 終端され たレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ 供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくな るように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項11】 前記第1の電源電圧を V_1 、前記基準電圧を V_{ref} とし たとき、

$$V_{ref} = 0.5V_1$$

である請求項10記載の信号伝送システム。

【請求項12】 第1の電源電圧で動作する第1の半導体集積回路装置と前 記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装 置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半 導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ 備える、Open drain構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ 備える、前記第1の半導体集積回路装置においては前記第2の電源電圧が終端電 圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電 圧が終端電圧として供給される、抵抗値が前記特性インピーダンスに等しい終端 抵抗により信号受信端が VTT 終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ 供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくな るように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項13】 第1の電源電圧で動作する第1の半導体集積回路装置と前

記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、Open drain構成のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 2 の電源電圧が終端電圧として供給され、前記第 2 の半導体集積回路装置においては前記第 1 の電源電圧が終端電圧として供給される、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端が V T T 終端されたレシーバとを有し、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が、前記第 1 の電源電圧または前記第 2 の電源電圧のいずれか一方の分数値に等しくなるように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項 1 4】 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、Open drain構成のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置がそれぞれ備える、前記第 1 の半導体集積回路装置においては前記第 2 の電源電圧が終端電圧として供給され、前記第 2 の半導体集積回路装置においては前記第 1 の電源電圧が終端電圧として供給される、終端抵抗により信号受信端が V T T 終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記

信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された信号伝送システム。

【請求項15】 前記第1の電源電圧を V_1 、前記第2の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = (V_1 + V_2) / 3$$

である請求項14記載の信号伝送システム。

【請求項16】 前記第1の電源電圧と一端が接続される第1の抵抗器と、前記第1の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第1の抵抗器の2倍の第2の抵抗器と、

前記第2の電源電圧と一端が接続される第3の抵抗器と、

前記第3の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第3の抵抗器の2倍の第4の抵抗器と、

を有し、

前記第1の抵抗器と第2の抵抗器の接続端、及び前記第3の抵抗器と第4の抵抗器の接続端が互いに接続され、該接続端から前記基準電圧が出力される請求項15記載の信号伝送システム。

【請求項17】 前記第1の電源電圧と一端が接続される第1の抵抗器と、前記第1の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第1の抵抗器の2倍の第2の抵抗器と、

前記第2の電源電圧と一端が接続される第3の抵抗器と、

前記第3の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第3の抵抗器の2倍の第4の抵抗器と、

前記第1の抵抗器と第2の抵抗器の接続端、及び前記第3の抵抗器と第4の抵抗器の接続端間に直列に挿入される、抵抗値が前記第1の抵抗器及び前記第3の抵抗器と等しい第5の抵抗器及び第6の抵抗器と、

を有し、

前記第5の抵抗器と第6の抵抗器の接続端から前記基準電圧が出力される請求項15記載の信号伝送システム。

【請求項18】 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間でDifferential信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定のODD mode特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、抵抗値が前記ODD mode特性インピーダンスに等しい終端抵抗により前記Differential信号のTrue信号とBar信号が接続され、信号受信端がBridge終端されたレシーバと、
を有する信号伝送システム。

【請求項19】 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端がC T T終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が前記第1の電源電圧の $1/2$ の値に等しくなり、前記第2の半導体集積回路装置に供給される前記基準電圧が前記第2の電源電圧の $1/2$ の値に等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置に供給される前記基準電圧が前記第1の電源電圧の $1/2$ の値に等しくなり、前記第2の半導体集積回路装置に供給される前記基準電圧が前記第2の電源電圧の $1/2$ の値に等しくなるように前記終端抵抗が設定された信号伝送システム。

【請求項20】 前記伝送線路を流れる前記信号のリターン電流が流れる経路となる、前記第1の半導体集積回路装置及び第2の半導体集積回路装置で共通に用いられる接地電位を供給するためのパターンを有する請求項1乃至19のいずれか1項記載の信号伝送システム。

【請求項21】 第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端がCT終端されたレシーバとを有し、

前記3つ以上の半導体集積回路装置のうち、少なくとも1つはPush-pull構成のドライバであり、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が2種類以下になるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記半導体集積回路装置に供給される前記基準電圧が2種類以下になるように前記

終端抵抗が設定された信号伝送システム。

【請求項 22】 第 1 の電源電圧、及び前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する 3 つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、前記信号の送受信相手の半導体集積回路装置に供給される電源電圧と等しい終端電圧が供給される終端抵抗により信号受信端が V T T 終端されたレシーバとを有し、

前記 3 つ以上の半導体集積回路装置のうち、少なくとも 1 つは open drain 構成のドライバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が 1 種類以下になるように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項 23】 第 1 の電源電圧、及び前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する 3 つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、前記第 1 の電源電圧の $1/2$ の電圧または前記第 2 の電源電圧の $1/2$ の電圧のいずれか一方が終端電圧として供給され、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端が V T T 終端されたレシーバとを有し、

前記 3 つ以上の半導体集積回路装置のうち、少なくとも 1 つは Push-pull 構成のドライバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が 1 種類以下になるように前記ドライバのオン抵抗が設定され

た信号伝送システム。

【請求項 24】 第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置を備え、少なくとも異なる電源電圧で動作する半導体集積回路装置間でDifferential信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端が終端されたレシーバとを有し、

前記Differential信号が送受信される半導体集積回路装置はPush-pull構成のドライバであり、

前記Differential信号が送受信される半導体集積回路装置は、抵抗値が前記伝送線路のODD mode特性インピーダンスに等しい終端抵抗により前記Differential信号のTrue信号とBar信号が接続され、信号受信端がBridge終端されたレシーバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が1種類以下になるように前記ドライバのオン抵抗が設定された信号伝送システム。

【請求項 25】 前記伝送線路を流れる前記信号のリターン電流が流れる経路となる、前記半導体集積回路装置でそれぞれ共通に用いられる接地電位を供給するためのパターンを有する請求項 21乃至24のいずれか1項記載の信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は異なる電源電圧で動作する複数の半導体集積回路装置間で信号を送送するための信号伝送システムに関する。

【0002】

【従来の技術】

従来より異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要なシステムが存在する。図47はこのようなシステムの従来の構成を示すブロック図である。図47は、1.8V系のLSI (LSI1) と1.5V系のLSI (LSI3) 間で信号を伝送するシステムであり、その間に電圧を変換するための電圧変換LSI (LSI2) を挿入してLSI1とLSI3間で送受信する信号を中継する構成である。LSI1とLSI2間は特性インピーダンス Z_{01} の伝送線路で接続され、LSI2とLSI3間は特性インピーダンス Z_{02} の伝送線路で接続されている。電圧を変換するための電圧変換LSIの具体例については、例えば特許文献1や特許文献2に記載されている。

【0003】

図48は異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来のシステムの他の構成を示すブロック図である。図48は、1.5V系のLSIと1.2V系のLSI間で信号を送受信するシステムであり、1.2V系のLSIに1.5V電源で動作可能な（例えば、酸化膜等が1.5V電源に耐える厚さで形成された）Receiverと、1.2Vで動作する内部回路とを備えた構成である。このように、1.2V系のLSIに対して1.5Vと1.2Vの両方の電源電圧を供給することで1.5V系のLSIとの信号伝送を可能にしている。なお、図48は、1.5V系のLSIから1.2V系のLSIに信号を送信する構成のみを示しているが、実際の信号伝送システムは双方向に信号の送受信が可能である。

【0004】

図48に示した信号伝送に必要な部位に供給する電源電圧を揃えた信号伝送システムの具体例を図49に示す。図49(a)は1.5V系のLSI (DRAM) から1.5Vが供給されるDriver及びReceiverを備えた1.2V系のLSIへ信号を伝送する構成を示し、図49(b)はその逆の場合の構成を示している。これらのLSIはいずれもPCB (Printed Circuit Board) に搭載され、特性インピーダンス $Z_0 = 50\Omega$ の伝送線路でそれぞれ接続されている。また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトラン

ジスタで構成され (Push-pull構成)、そのオン抵抗は $20\ \Omega$ である。一方、信号を受信するReceiverはCTT (Center Tapped Termination、あるいはテブナン終端と呼ばれる) で受信端が終端され、このCTTによる終端抵抗の値を特性インピーダンス Z_0 に合わせることでインピーダンス整合が図られている。因みに、CTTの終端抵抗値は、CTTを構成する図の上側の抵抗器と下側の抵抗器とを並列に接続した値に等しくなる。このように、信号伝送に用いるDriver及びReceiverに供給する電源電圧 (VDDQ) の値を揃えれば、問題なく信号を送受信することができる。

【0005】

図50は、Driver及びReceiverをそれぞれ備え、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する構成例を示している。通常、図50に示すような構成を採用するシステムは無いと思われるが、本発明の理解を助けるために示すものである。図中の四角はスイッチを示し、信号を送信するときにOFFさせる。図50はDriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、ReceiverがCTT終端された構成である。

【0006】

このような構成では、信号を送受信する2つのLSIに供給される電源電圧 (VDDQ) の値が異なるため、Receiverに供給される、入力電圧を判定するためのしきい値である基準電圧 V_{ref} の値が異なっている。

【0007】

図51は図50に示した信号伝送システム的具体例である。なお、図51は、図49と同様に、DriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、ReceiverがCTT終端され、Driverのオン抵抗 = $20\ \Omega$ 、伝送線路の特性インピーダンス = $50\ \Omega$ 、Receiverの終端抵抗値 = $50\ \Omega$ である。また、図51 (a) は1.5V系のLSIから信号を送信する場合の等価回路を示し、図51 (b) は1.2V系のLSIから信号を送信する場合の等価回路を示している。

【0008】

図51(a)に示すように、1.5V系のLSIから信号を送信する場合、出力信号のハイレベル $V_{OH}=1.24V$ 、出力信号のロウレベル $V_{OL}=0.17V$ となり、 V_{OH} と V_{OL} の中間値に設定される基準電圧 V_{ref} は $0.71V$ となる。したがって、1.2V系のLSIで信号を受信する場合の基準電圧 V_{ref} は $0.71V$ となる。

【0009】

一方、図51(b)に示すように、1.2V系のLSIから信号を送信する場合、出力信号のハイレベル $V_{OH}=1.07V$ 、出力信号のロウレベル $V_{OL}=0.21V$ となり、 V_{OH} と V_{OL} の中間値に設定される基準電圧 V_{ref} は $0.64V$ となる。したがって、1.5V系のLSIで信号を受信する場合の基準電圧 V_{ref} は $0.64V$ となる。

【0010】

図52は、Driver及びReceiverをそれぞれ備え、異なる電源電圧で動作する半導体集積回路装置（1.5V系LSIと1.2V系LSI3）間を直接接続して信号を双方向に伝送する他の構成例を示している。通常、図52に示すような構成を採用するシステムも無いと思われるが、本発明の理解を助けるために示すものである。図中の四角はスイッチを示し、信号を送信するときにOFFさせる。図52はDriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、Receiverでは終端抵抗を介して入力端が終端電圧 V_{TT} にプルアップされた構成である。また、図52では1.2V電源で動作する1.2V系LSIをさらに備え、1.2V系LSI3と1.2V系LSI間で信号が伝送される構成も示している。

【0011】

このような構成においても、信号を送受信する1.5V系LSIと1.2V系LSI3に供給される電源電圧（ V_{DDQ} ）の値が異なるため、Receiverに供給される、入力電圧を判定するためのしきい値である基準電圧 V_{ref} 及び V_{TT} の値が異なっている。

【0012】

図53は図52に示した信号伝送システム的具体例である。なお、図53は、

DriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、Receiverが終端抵抗を介してVTTにプルアップされ、Driverのオン抵抗=20Ω、伝送線路の特性インピーダンス=40Ω、Receiverの終端抵抗値=40Ωである。また、図53(a)は1.5V系のLSIから信号を送信する場合の等価回路を示し、図53(b)は1.2V系のLSI3から信号を送信する場合の等価回路を示している。

【0013】

図53(a)に示すように、1.5V系のLSIから信号を送信する場合、出力信号のハイレベルVOH=1.25V、出力信号のロウレベルVOL=0.25Vとなり、VOHとVOLの中間値に設定される基準電圧Vrefは0.75Vとなる。したがって、1.2V系のLSIで信号を受信する場合の基準電圧Vrefは0.75Vとなる。

【0014】

一方、図53(b)に示すように、1.2V系のLSI3から信号を送信する場合、出力信号のハイレベルVOH=1.00V、出力信号のロウレベルVOL=0.20Vとなり、VOHとVOLの中間値に設定される基準電圧Vrefは0.60Vとなる。したがって、1.5V系のLSIで信号を受信する場合の基準電圧Vrefは0.60Vとなる。

【0015】

【特許文献1】

特開平8-288828号

【特許文献2】

特開平11-27134号

【0016】

【発明が解決しようとする課題】

上述したような従来の信号伝送システムにおいては以下に記載するような問題がある。

【0017】

まず、図47に示した電圧変換LSIを有する構成では、電圧変換LSIによ

って信号の伝播速度が低下するためシステム性能が低下する問題がある。さらに、電圧変換 L S I を用いることで部品点数が増大するためシステムのコストが上昇する。

【0018】

また、図48に示した1.2V系のL S Iに1.5V電源を供給できるようにする構成では、酸化膜を部分的に厚くする等の処置が必要になるため、L S Iの製造プロセスが複雑になる問題がある。さらに、1.5V電源を供給するための端子が必要になり、L S Iのパッケージサイズや端子数の増大により、1.2V系のL S Iのコストが上昇する問題がある。

【0019】

また、図50に示した異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する構成では、2種類の基準電圧 V_{ref} が必要になる。したがって、比較的高価な基準電圧発生回路が2種類必要であり、電位の異なる基準電圧の配線パターンも2種類必要になり、P C Bの層数が増える可能性があるため、システムのコストが上昇する問題がある。また、基準電圧が2種類であるにもかかわらず、実際に供給する基準電圧 V_{ref} をいずれか一方に限定すると、次のような問題が発生する。

【0020】

図51に示した例では、基準電圧 V_{ref} として0.71Vと0.64Vを用いているが、2つのL S Iに供給する基準電圧 V_{ref} を、例えば0.64Vにすると、1.5V系のL S Iでは影響がないが、1.2V系のL S Iでは基準電圧 V_{ref} が低下することで図54に示すような影響を受ける。

【0021】

すなわち、受信信号が立ち上がるときは0.71Vの基準電圧 V_{ref} が供給されるときに比べて入力回路 (Receiver) が速く反応するが、入力信号が立ち下がる時は0.71Vの基準電圧 V_{ref} が供給されるときよりも遅くなる。そのため、入力回路でタイミングスキュー (Timing skew) が発生する。

【0022】

受信信号の立ち上がり時間 t_R 及び立下り時間 t_F をそれぞれ250 p s 程度

とすると、タイミングスキューは 33 ps となる。この値は、 1.6 Gbps 信号の Eye window (Bit time) = 625 ps に対して 5.2% に相当し、無視できない値となる。さらに、基準電圧 V_{ref} が低下することで上記タイミングスキューが増大すると、誤動作の可能性も高くなる。

【0023】

一方、図52に示した、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する他の構成でも、2種類の基準電圧 V_{ref} 及び終端電圧 V_{TT} が必要になる。したがって、基準電圧発生回路や V_{TT} 発生回路がそれぞれ2種類必要であり、電位の異なる基準電圧や終端電圧 V_{TT} の配線パターンも2種類必要になり、PCBの層数が増える可能性があるため、システムのコストが上昇する問題がある。

【0024】

また、基準電圧や終端電圧 V_{TT} が2種類であるにもかかわらず、実際に供給する基準電圧 V_{ref} や終端電圧 V_{TT} をいずれか一方に限定すると、上記図51と同様の問題が発生する。

【0025】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、異なる電源電圧で動作する半導体集積回路装置間のタイミングスキューを抑制すると共にコストの上昇を抑制した信号伝送システムを提供することを目的とする。

【0026】

【課題を解決するための手段】

上記目的を達成するため本発明の信号伝送システムでは、異なる電源電圧で動作する半導体集積回路装置間を伝送線路である双方向バスを介して直接、接続する。このとき、ドライバはPush-pull型とし、受信側はCTT (Center Tapped Termination) 終端とする。また、インピーダンス整合のために、終端抵抗 R_{term} を伝送線路の特性インピーダンス Z_0 に合わせた場合、信号振幅確保のためにドライバのオン抵抗 R_{on} は $R_{on} \leq Z_0$ とする。

【0027】

ドライバのオン抵抗 R_{on} を伝送線路の特性インピーダンスに合わせた場合、信号振幅を確保するため、 $R_{term} \geq Z_0$ とする。

【0028】

また、電源の数を少なくするため、双方の半導体集積回路装置で用いる基準電圧 V_{ref} の値を一致させる。望ましくは、その値を $0.25(V_1 + V_2)$ とし、基準電圧 V_{ref} を生成し易くする。ここで、 V_1 、 V_2 は半導体集積回路装置に供給する電源電圧 V_{DDQ} である。

【0029】

そのために、オン抵抗 R_{on} あるいは終端抵抗 R_{term} の値を所定の式にしたがって設定する。

【0030】

また、基板構造の設計のし易さ、Signal integrityの観点から、伝送線路のリターン電流が流れるReferenceを両半導体集積回路装置で共通の接地電位 (GND plane) とする。なお、上記伝送信号は、Single-ended信号のみならず、Differential信号にも適用できる。Differential信号を伝送する時には、両方の信号をODD modeインピーダンスの2倍の抵抗値で結ぶBridge終端とすれば基準電圧 V_{ref} が不要となる。

【0031】

また、本発明の他の信号伝送システムは、異なる電源電圧で動作する半導体集積回路装置間を伝送線路である双方向バスを介して直接、接続する。このとき、ドライバはPush-pull型とし、受信側はVTT終端とする。VTTの値は信号を送受信する2つの半導体集積回路装置に供給される電源電圧のうち、低い方の電源電圧 V_{DDQ} (低 V_{DDQ}) の $1/2$ とする。これは、異なる電源電圧で動作する半導体集積回路装置に加えて、低 V_{DDQ} で動作する半導体集積回路装置同士が双方向バスで接続される構成の場合に特に有効である。

【0032】

また、インピーダンス整合のために、終端抵抗 R_{term} を伝送線路の特性インピーダンス Z_0 に合わせる。

【0033】

また、電源の数を少なくするため、双方の半導体集積回路装置で用いる基準電圧 V_{ref} の値を一致させる。望ましくは、その値を $0.5V_2$ とし、基準電圧 V_{ref} を生成し易くする。ここで、 V_2 は上記低 V_{DDQ} である。

【0034】

そのために、オン抵抗 R_{on} の値を所定の式にしたがって設定する。

【0035】

また、基板構造の設計のし易さ、Signal integrityの観点から、伝送線路のリターン電流が流れるReferenceを両半導体集積回路装置で共通の接地電位 (GND plane) とする。なお、上記伝送信号は、Single-ended信号のみならず、Differential信号にも適用できる。Differential信号を伝送する時には、両方の信号をODD modeインピーダンスの2倍の抵抗値で結ぶBridge終端とすれば基準電圧 V_{ref} が不要となる。

【0036】

本発明の信号伝送システムは、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端がC T T終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前

記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された構成である。

【0037】

ここで、前記第 1 の電源電圧を V_1 、前記第 2 の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.25 (V_1 + V_2)$$

であってもよく、

前記第 1 の電源電圧と接地電位間に直列に挿入される、抵抗値が等しい第 1 の抵抗器及び第 2 の抵抗器と、

前記第 2 の電源電圧と接地電位間に直列に挿入される、抵抗値が前記第 1 の抵抗器及び第 2 の抵抗器と等しい第 3 の抵抗器及び第 4 の抵抗器と、
を有し、

前記第 1 の抵抗器と第 2 の抵抗器の接続端、及び前記第 3 の抵抗器と第 4 の抵抗器の接続端が互いに接続され、該接続端から前記基準電圧が出力されてもよく、

前記第 1 の電源電圧と接地電位間に直列に挿入される、抵抗値が等しい第 1 の抵抗器及び第 2 の抵抗器と、

前記第 2 の電源電圧と接地電位間に直列に挿入される、抵抗値が前記第 1 の抵抗器及び第 2 の抵抗器と等しい第 3 の抵抗器及び第 4 の抵抗器と、

前記第 1 の抵抗器と第 2 の抵抗器の接続端、及び前記第 3 の抵抗器と第 4 の抵抗器の接続端間に直列に挿入される、抵抗値が前記第 1 の抵抗器、前記第 2 の抵抗器、前記第 3 の抵抗器及び前記第 4 の抵抗器と等しい第 5 の抵抗器及び第 6 の抵抗器と、

を有し、

前記第 5 の抵抗器と第 6 の抵抗器の接続端から前記基準電圧が出力されてもよい。

【0038】

また、本発明の他の信号伝送システムは、第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第

2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第2の電源電圧の $1/2$ の電圧が終端電圧として供給され、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された構成であり、

前記第2の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.5V_2$$

となる構成である。

【0039】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ

備える、前記第1の半導体集積回路装置においては前記第2の電源電圧の $1/2$ の電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧の $1/2$ の電圧が終端電圧として供給される、終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された構成であり、

前記第1の電源電圧を V_1 、前記第2の電源電圧を V_2 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.25 (V_1 + V_2)$$

となる構成である。

【0040】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第2の電源電圧の $1/2$ の電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧の $1/2$ の電圧が終端電圧として供給される、抵抗値が前記特

性インピーダンスに等しい終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された構成である。

【0041】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の電源電圧の $1/2$ の電圧が終端電圧として供給され、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された構成であり、

前記第1の電源電圧を V_1 、前記基準電圧を V_{ref} としたとき、

$$V_{ref} = 0.5V_1$$

となる構成である。

【0042】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、Open drain構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第2の電源電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧が終端電圧として供給される、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定された構成である。

【0043】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、Open drain構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第2の電源電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧が終端電圧として供給される、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が、前記第1の電源電圧または前記第2の電源電圧のいずれか一方の分数値に等しくなるように前記ドライバのオン抵抗が設定された構成である。

【0044】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、Open drain構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第2の電源電圧が終端電圧として供給され、前記第2の半導体集積回路装置においては前記第1の電源電圧が終端電圧として供給される、終端抵抗により信号受信端がVTT終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記信号の電圧を判定するためのしきい値である基準電圧が等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給される前記基準電圧が等しくなるように前記終端抵抗が設定された構成である。

【0045】

ここで、前記第1の電源電圧をV1、前記第2の電源電圧をV2、前記基準電圧をVrefとしたとき、

$$V_{ref} = (V1 + V2) / 3$$

であってもよく、

前記第1の電源電圧と一端が接続される第1の抵抗器と、

前記第1の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第1の抵抗器の2倍の第2の抵抗器と、

前記第2の電源電圧と一端が接続される第3の抵抗器と、

前記第3の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第3の抵抗器の2倍の第4の抵抗器と、
を有し、

前記第1の抵抗器と第2の抵抗器の接続端、及び前記第3の抵抗器と第4の抵抗器の接続端が互いに接続され、該接続端から前記基準電圧が出力されてもよく、

前記第1の電源電圧と一端が接続される第1の抵抗器と、

前記第1の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第1の抵抗器の2倍の第2の抵抗器と、

前記第2の電源電圧と一端が接続される第3の抵抗器と、

前記第3の抵抗器の他端と一端が接続され、他端が接地電位に接続される、抵抗値が前記第3の抵抗器の2倍の第4の抵抗器と、

前記第1の抵抗器と第2の抵抗器の接続端、及び前記第3の抵抗器と第4の抵抗器の接続端間に直列に挿入される、抵抗値が前記第1の抵抗器及び前記第3の抵抗器と等しい第5の抵抗器及び第6の抵抗器と、
を有し、

前記第5の抵抗器と第6の抵抗器の接続端から前記基準電圧が出力されてもよい。

【0046】

また、本発明の他の信号伝送システムは、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間でDifferential信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定のODD mode特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給される

Push-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、抵抗値が前記ODD mode特性インピーダンスに等しい終端抵抗により前記Differential信号のTrue信号とBar信号が接続され、信号受信端がBridge終端されたレシーバと、
を有する構成である。

【0047】

または、第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、前記第1の半導体集積回路装置においては前記第1の電源電圧が供給され、前記第2の半導体集積回路装置においては前記第2の電源電圧が供給されるPush-pull構成のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端がC T T終端されたレシーバとを有し、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が前記第1の電源電圧の $1/2$ の値に等しくなり、前記第2の半導体集積回路装置に供給される前記基準電圧が前記第2の電源電圧の $1/2$ の値に等しくなるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記第1の半導体集積回路装置に供給される前記基準電圧が前記第1の電源電圧の $1/2$ の値に等しくなり、前記第2の半導体集積回路装置に供給される前記基準電圧が前記第2の電源電圧の $1/2$ の値に等しくなるように前記終端抵抗が設定された構成である。

【0048】

上記信号伝送システムは、いずれも前記伝送線路を流れる前記信号のリターン電流が流れる経路となる、前記第1の半導体集積回路装置及び第2の半導体集積回路装置で共通に用いられる接地電位を供給するためのパターンを有していてもよい。

【0049】

また、本発明の他の信号伝送システムは、第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端がCT終端されたレシーバとを有し、

前記3つ以上の半導体集積回路装置のうち、少なくとも1つはPush-pull構成のドライバであり、

前記終端抵抗が前記特性インピーダンスと一致しているときは、前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が2種類以下になるように前記ドライバのオン抵抗が設定され、

前記ドライバのオン抵抗が前記特性インピーダンスと一致しているときは、前記半導体集積回路装置に供給される前記基準電圧が2種類以下になるように前記終端抵抗が設定された構成である。

【0050】

または、第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、前記信号の送受信相手の半導体集

積回路装置に供給される電源電圧と等しい終端電圧が供給される終端抵抗により信号受信端がV T T終端されたレシーバとを有し、

前記3つ以上の半導体集積回路装置のうち、少なくとも1つはOpen drain構成のドライバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が1種類以下になるように前記ドライバのオン抵抗が設定された構成である。

【0051】

または、第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置間で信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、前記第1の電源電圧の1/2の電圧または前記第2の電源電圧の1/2の電圧のいずれか一方が終端電圧として供給され、抵抗値が前記特性インピーダンスに等しい終端抵抗により信号受信端がV T T終端されたレシーバとを有し、

前記3つ以上の半導体集積回路装置のうち、少なくとも1つはPush-pull構成のドライバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が1種類以下になるように前記ドライバのオン抵抗が設定された構成である。

【0052】

または、第1の電源電圧、及び前記第1の電源電圧よりも低い第2の電源電圧で動作する3つ以上の半導体集積回路装置を備え、少なくとも異なる電源電圧で動作する半導体集積回路装置間でDifferential信号を送受信するための信号伝送システムであって、

前記信号を双方向に伝送可能に前記半導体集積回路装置間を接続する所定の特

性インピーダンスを備えた伝送線路と、

前記半導体集積回路装置がそれぞれ備えるドライバ回路と、

前記半導体集積回路装置がそれぞれ備える、終端抵抗により信号受信端が終端されたレシーバとを有し、

前記Differential信号が送受信される半導体集積回路装置はPush-pull構成のドライバであり、

前記Differential信号が送受信される半導体集積回路装置は、抵抗値が前記伝送線路のODD mode特性インピーダンスに等しい終端抵抗により前記Differential信号のTrue信号とBar信号が接続され、信号受信端がBridge終端されたレシーバであり、

前記半導体集積回路装置に供給される前記信号の電圧を判定するためのしきい値である基準電圧が1種類以下になるように前記ドライバのオン抵抗が設定された構成である。

【0053】

上記信号伝送システムは、いずれも前記伝送線路を流れる前記信号のリターン電流が流れる経路となる、前記半導体集積回路装置でそれぞれ共通に用いられる接地電位を供給するためのパターンを有していてもよい。

【0054】

(作用)

上記のように構成された信号伝送システムでは、電圧変換用の半導体集積回路装置が不要となり、半導体集積回路装置に供給する電源電圧の種類の増加を防止できる。

【0055】

また、終端抵抗 R_{term} あるいはオン抵抗 R_{on} を伝送線路の特性インピーダンスに合わせ、かつ伝送線路のReferenceを各半導体集積回路装置に共通な接地電位とするため、Signal integrityよく信号を伝送することができる。また、各半導体集積回路装置で用いる基準電圧の値を同一にするため、電源の種類を低減でき、かつプリント基板の層数を低減できる。また、常に最適な基準電圧の値を用いることができるので、入力回路部でのTiming skewを小さくできる。

【0056】

さらに、基準電圧の値を生成し易い値、例えば $0.25(V1 + V2)$ 等に設定しているので、基準電圧の生成が容易である。

【0057】

また、Differential信号を伝送する時に受信側にBridge終端を用いると、基準電圧が不要になるため、基準電圧に対する従来のような配慮が不要となる。

【0058】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0059】

(第1の実施の形態)

図1は本発明の信号伝送システムの第1の実施の形態の構成を示すブロック図である。

【0060】

図1に示すように、第1の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)1と1.2V系の半導体集積回路装置(LSI)2とが伝送線路である双方向バス3で直接接続された構成である。1.5V系のLSI1は、ドライバ(D)4、レシーバ(R)5、C/T終端を形成する抵抗器8a、8b、及びスイッチ10a、10bを有する構成である。1.2V系のLSI2は、ドライバ(D)6、レシーバ(R)7、C/T終端を形成する抵抗器9a、9b、及びスイッチ11a、11bを有する構成である。また、本実施形態の信号伝送システムでは、1.5V系のLSI1と1.2V系のLSI2とにそれぞれ共通の基準電圧Vrefを供給にする。

【0061】

このような構成において、1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合は、1.2V系のLSI2のドライバ6の出力をハイインピーダンス(High impedance)状態に設定し、1.5V系のLSI1のスイッチ10a、10bをそれぞれOFFにする。逆に、1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合は、1.5V系のLSI1のドライバ4の

出力をハイインピーダンス状態に設定し、1.2V系のLSI2のスイッチ11a、11bをそれぞれOFFにする。そして、1.2V系のLSI2から1.5V系のLSI1へ信号を送信するときに参照する基準電圧 V_{ref1} と、1.5V系のLSI1から1.2V系のLSI2へ信号を送信するときに参照する基準電圧 V_{ref2} とを一致させる。具体的には $V_{ref1} = V_{ref2} = 0.25(V_1 + V_2)$ に設定する。ここで、 V_1 は、2つのLSIに供給する電源電圧 V_{DDQ} のうち、高い方の電源電圧 V_{DDQ} （図1では1.5V）であり、 V_2 は低い方の電源電圧 V_{DDQ} （図1では1.2V）である。したがって、基準電圧 $V_{ref1} = V_{ref2} = 0.675V$ となる。

【0062】

この基準電圧 V_{ref} は、LSIの出力信号のハイレベル及びロウレベルを用いて表すことも可能であり、1.5V系のLSI1から送信する信号のハイレベルを VOH_2 、信号のロウレベルを VOL_2 としたとき、基準電圧 $V_{ref2} = 0.5(VOH_2 + VOL_2)$ であり、1.2V系のLSI2から送信する信号のハイレベルを VOH_1 、信号のロウレベルを VOL_1 としたとき、基準電圧 $V_{ref1} = 0.5(VOH_1 + VOL_1)$ である。このように基準電圧 V_{ref} を設定することで、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済み、基準電圧 V_{ref} も容易に生成できる。

【0063】

なお、図1ではSingle-ended信号を送受信する構成例を示しているが、Differential信号を送受信する構成でもよい。その場合、図1に示す構成要素をそれぞれ2倍にしてTrue用とBar用に用いればよい。また、後述するように、True信号とBar信号間はBridge終端にしてもよい。

【0064】

以下、Single-ended信号を送受信する場合を例にして、本実施形態の信号伝送システムの実施例について説明する。

【0065】

図2は、図1に示した第1の実施の形態を実現する、信号伝送システムの第1実施例の構成を示す回路図である。図2(a)は1.5V系のLSI1から1.

2 V系のLSI 2へ信号を送信する場合の等価回路を示し、図2 (b)は1. 2 V系のLSI 2から1. 5 V系のLSI 1へ信号を送信する場合の等価回路を示している。

【0066】

また、図2では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8 a、8 b、9 a、9 bの値に含めて記載している。

【0067】

また、信号を送信するDriverはPush-pull接続されたp MOSトランジスタ及びn MOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信するReceiverはCTT終端されている。

【0068】

第1実施例の信号伝送システムは、1. 5 V系のLSI 1から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器9 a及び9 bの値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器9 aと9 bの並列値に等しく、 $40\ \Omega$ になるため、双方向バス3とインピーダンスが整合される。

【0069】

また、ドライバを構成するn MOSトランジスタのオン抵抗を双方向バス3の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定し、p MOSトランジスタのオン抵抗を $25.45\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.15\text{ V}$ 、 $V_{OL2} = 0.2\text{ V}$ となり、基準電圧 $V_{ref2} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.475 V となるため、信号振幅値を十分に確保することができる。

【0070】

一方、1. 2 V系のLSI 2から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器8 a及び8 bの値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器8 aと8 bの並列値に等しく、 $40\ \Omega$ になるため、双方向バス3とイ

ンピーダンスが整合される。

【0071】

また、ドライバを構成する pMOS トランジスタのオン抵抗を双方向バス 3 の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定し、nMOS トランジスタのオン抵抗を $26.67\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.05\text{ V}$ 、 $V_{OL1} = 0.3\text{ V}$ となり、基準電圧 $V_{ref1} = 0.675\text{ V}$ であるため上記 V_{ref2} の値に一致する。また、基準電圧 V_{ref} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0072】

また、双方向バス 3 上を流れる信号のリターン電流の経路 (Reference) を、 1.5 V 系の LSI 1 と 1.2 V 系の LSI 2 とに共通な接地電位 (GND) にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} を Reference とする場合、 1.5 V 電源と 1.2 V 電源とをそれぞれ Reference として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 3 を流れる信号のリターン電流の経路 (Reference) は接地電位 (GND) であることが好ましい。

【0073】

このように、CTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、基準電圧 V_{ref} を $0.25 (V_1 + V_2)$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できるため、高速動作が要求される回路に用いて好適である。

【0074】

なお、1.5V系のLSI1と1.2V系LSI2の組合せとしては、DRAMとBuffer、BufferとChipset、DRAMとChipset等が考えられる。また、1.5V系のLSI1と1.2V系LSI2とはDIMM (Dual In-line Memory Module) やPCBに搭載されていてもよく、一方のLSIがDIMMに搭載され、他方のLSIがPCBやマザーボードに搭載されてもよく、様々な場合が考えられる。また、図2では、終端に用いる抵抗器として、LSI内に配置されるOn Die Terminationを例示しているが、終端用の抵抗器はLSIに外付けされていてもよい。さらに、図2では双方向バスを用いてLSIどうしをPoint to Pointで接続する構成を示しているが、伝送線路の途中に複数のLSIが接続されるFly-by(あるいは、Daisy chainとも呼ばれる)バス構成、あるいはバスの途中に複数のスタブを備え、該スタブにそれぞれLSIが接続される構成にも適用できる。これらのことは、以下の例でも同様である。

【0075】

図3は図2に示した信号伝送システムで用いる基準電圧を発生する回路の一構成例を示す回路図である。

【0076】

図3に示す回路は基準電圧 V_{ref} として、 $V_{ref} = 0.25(V_1 + V_2)$ を生成する回路であり、図3(a)は同じ値の4つの抵抗器 R を用いて基準電圧 V_{ref} を発生させる例、図3(b)は同じ値の6つの抵抗器 R を用いて基準電圧 V_{ref} を発生させる例である。各抵抗器 R は、その値のバラツキ傾向によって使い分けることが可能である。このような簡単な構成で基準電圧 V_{ref} の値を発生することができる。

【0077】

図4に図2に示した第1実施例の信号伝送システムを一般化した回路を示す。

【0078】

図4(a)は電源電圧 $V_{DDQ} = V_1$ 系のLSI1から電源電圧 $V_{DDQ} = V_2$ 系のLSI2へ信号を送信する場合の等価回路を示し、図4(b)は V_2 系のLSI2から V_1 系のLSI1へ信号を送信する場合の等価回路を示している。

【0079】

なお、図 4 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0080】

また、信号を送信するドライバは Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 3 の特性インピーダンスは Z_0 である。信号を受信する Receiver は CTT 終端されている。

【0081】

まず、 V_1 系の LSI 1 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 9a 及び 9b の値を $2Z_0$ に設定する。終端抵抗の値は抵抗器 9a と 9b の並列値に等しいため、双方向バス 3 とインピーダンスが整合される。

【0082】

また、ドライバを構成する nMOS トランジスタ 4b のオン抵抗を双方向バス 3 の特性インピーダンス以下の値、ここでは R_Ω に設定し、基準電圧 $V_{ref} = 0.25(V_1 + V_2)$ となるように pMOS トランジスタ 4a のオン抵抗を R_1 に設定する。このとき、 R_1 は、

$$R_1 = Z_0(V_2 \cdot Z_0 - V_1 \cdot R - V_1 \cdot Z_0) / (V_2 \cdot R - V_1 \cdot Z_0 - V_1 \cdot R)$$

となる。

【0083】

また、伝送信号のハイレベル VOH_2 、ロウレベル VOL_2 は、

$$VOH_2 = (V_1 - 0.5V_2)Z_0 / (R_1 + Z_0) + 0.5V_2$$

$$VOL_2 = 0.5V_2 \cdot R / (Z_0 + R)$$

である。

【0084】

一方、 V_2 系の LSI 2 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 8a 及び 8b の値を上記と同様に $2Z_0$ に設定する。終端抵抗の値は抵抗器 8a と 8b の並列値に等しいため、双方向バス 3 とインピーダンスが整合される。

【0085】

また、ドライバを構成する pMOS トランジスタ 6a のオン抵抗を双方向バス 3 の特性インピーダンス以下の値、ここでは $R3\ \Omega$ に設定し、 $V_{ref} = 0.25(V1 + V2)$ となるように nMOS トランジスタ 6b のオン抵抗を $R2\ \Omega$ に設定する。このとき、 $R2$ は、

$$R2 = Z0(V1 \cdot Z0 + V2 \cdot R3 - V2 \cdot Z0) / (V1 \cdot R3 + V2 \cdot Z0 - V2 \cdot R3)$$

となる。

【0086】

また、伝送信号のハイレベル $VOH1$ 、ロウレベル $VOL1$ は、

$$VOH1 = (V2 - 0.5V1)Z0 / (R3 + Z0) + 0.5V1$$

$$VOL1 = 0.5V1 \cdot R2 / (Z0 + R2)$$

である。

【0087】

また、双方向バス 3 上を流れる信号のリターン電流の経路(Reference)を、 $V1$ 系の $LSI1$ と $V2$ 系の $LSI2$ とに共通な接地電位 (GND) にするとプリント基板の設計が容易になる。なお、電源電圧 $VDDQ$ を Reference とする場合、 $V1$ 電源と $V2$ 電源とをそれぞれ Reference として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 3 を流れる信号のリターン電流の経路(Reference)は接地電位 (GND) であることが好ましい。この点は、以下の例でも同様であるので、以下省略する。

【0088】

このように、CTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を送送できる。また、電源電圧 $VDDQ$ は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、基準電圧 V_{ref} を $0.25(V1 + V2)$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 $VDDQ$ の $1/2$ の値から大きくずれていないので、各

ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できるため、高速動作が要求される回路に用いて好適である。

【0089】

図5は、図1に示した第1の実施の形態を実現する、信号伝送システムの第2実施例の構成を示す回路図である。なお、図5(a)は1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合の等価回路を示し、図2(b)は1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合の等価回路を示している。

【0090】

また、図5では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8a、8b、9a、9bの値に含めて記載している。

【0091】

また、信号を送信するDriverはPush-pull接続されたpMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス3の特性インピーダンスZ0は40Ωである。信号を受信するReceiverはCTT終端されている。

【0092】

第2実施例の信号伝送システムは、1.5V系のLSI1から信号を送信する場合、ドライバを構成するpMOS トランジスタ4aのオン抵抗及び nMOS トランジスタ4bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ40Ωに設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合される。

【0093】

また、受信側を終端する抵抗器9aの値を双方向バス3の特性インピーダンスの2倍以上の値、例えば120Ωに設定し、抵抗器9bの値を108Ωに設定す

る。このように設定すると、 $V_{OH2} = 1.115\text{ V}$ 、 $V_{OL2} = 0.235\text{ V}$ となり、基準電圧 $V_{ref2} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.44 V となるため、信号振幅値を十分に確保することができる。

【0094】

一方、1.2V系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6aのオン抵抗及びnMOSトランジスタ6bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $40\ \Omega$ に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合される。

【0095】

また、受信側を終端する抵抗器8bの値を双方向バス3の特性インピーダンスの2倍以上の値、例えば $120\ \Omega$ に設定し、抵抗器8aの値を $110\ \Omega$ に設定する。このように設定すると、 $V_{OH1} = 1.029\text{ V}$ 、 $V_{OL1} = 0.321\text{ V}$ となり、基準電圧 $V_{ref1} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.354 V となるため、信号振幅値を十分に確保することができる。

【0096】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 V_{ref} を $0.25(V_1 + V_2)$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0097】

図6に図5に示した第2実施例の信号伝送システムを一般化した回路を示す。

【0098】

図6(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI1から電源電圧 $V_{DDQ}=V_2$ 系のLSI2へ信号を送信する場合の等価回路を示し、図6(b)は V_2 系のLSI2から V_1 系のLSI1へ信号を送信する場合の等価回路を示している。

【0099】

なお、図6では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0100】

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンスは Z_0 である。信号を受信するReceiverはCTT終端されている。

【0101】

まず、 V_1 系のLSI1から信号を送信する場合、ドライバを構成するpMOSトランジスタ4aのオン抵抗及びnMOSトランジスタ4bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ Z_0 に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合される。

【0102】

また、受信側を終端する抵抗器9aの値を双方向バス3の特性インピーダンスの2倍以上の値、ここでは R_Ω に設定し、基準電圧 $V_{ref}=0.25(V_1+V_2)$ となるように抵抗器9bの値を $R_2\Omega$ に設定する。このとき、 R_2 は、

$$R_2=R \cdot Z_0(V_1+V_2)/(V_1 \cdot R+3V_2 \cdot Z_0-V_1 \cdot Z_0-V_2 \cdot R)$$

となる。

【0103】

また、伝送信号のハイレベル V_{OH2} 、ロウレベル V_{OL2} は、

$$V_{OH2}=(R \cdot R_2 \cdot V_1+R_2 \cdot Z_0 \cdot V_2)/(Z_0 \cdot R+R \cdot R_2+R_2 \cdot Z_0)$$

$$VOL2=R2 \cdot Z0 \cdot V2/(Z0 \cdot R2+R \cdot R2+R \cdot Z0)$$

である。

【0 1 0 4】

一方、V 2 系の L S I 2 から信号を送信する場合、ドライバを構成する p M O S トランジスタ 6 a のオン抵抗及び n M O S トランジスタ 6 b のオン抵抗を双方向バス 3 の特性インピーダンスに合わせてそれぞれ Z 0 に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス 3 とがインピーダンス整合される。

【0 1 0 5】

また、受信側を終端する抵抗器 8 b の値を双方向バス 3 の特性インピーダンスの 2 倍以上の値、ここでは R 3 Ω に設定し、基準電圧 V r e f = 0 . 2 5 (V 1 + V 2) となるように抵抗器 8 a の値を R 1 Ω に設定する。このとき、R 1 は、

$$R1=R3 \cdot Z0(3V1-V2)/(V1 \cdot R3+V1 \cdot Z0-V2 \cdot R3+V2 \cdot Z0)$$
となる。

【0 1 0 6】

また、伝送信号のハイレベル V O H 1 、ロウレベル V O L 1 は、

$$VOH1=(R3 \cdot R1 \cdot V2+R3 \cdot Z0 \cdot V1)/(Z0 \cdot R1+R3 \cdot R1+R3 \cdot Z0)$$

$$VOL1=R3 \cdot Z0 \cdot V1/(Z0 \cdot R1+R3 \cdot R1+R3 \cdot Z0)$$
である。

【0 1 0 7】

このように、C T T 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z 0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V D D Q は 2 種類、基準電圧 V r e f は 1 種類で済む。さらに、基準電圧 V r e f を 0 . 2 5 (V 1 + V 2) に設定しているので、基準電圧 V r e f を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V r e f の値が、電源電圧 V D D Q の 1 / 2 の値から大きくずれていないので、各ドライバの p M O S トランジスタ及び n M O S トランジスタのドレインソース間に十分な電位が印加され、p M O S トランジスタ及び n M O S トランジスタを

効率的に動作させることが可能であり、入出力容量も低減できるため、高速動作が要求される回路に用いて好適である。

【0108】

図7は、図1に示した第1の実施の形態を実現する、信号伝送システムの第3実施例の構成を示す回路図である。なお、図7(a)は1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合の等価回路を示し、図7(b)は1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合の等価回路を示している。

【0109】

また、図7では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8a、8b、9a、9bの値に含めて記載している。

【0110】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0111】

第3実施例の信号伝送システムは、1.5V系のLSI1から信号を送信する場合、ドライバを構成するpMOSトランジスタ4aのオン抵抗及びnMOSトランジスタ4bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ 40Ω に設定する。また、受信側を終端する抵抗器9a、9bの値をそれぞれ双方向バス3の特性インピーダンスの2倍の値、ここでは 80Ω に設定する。この場合、ドライバのオン抵抗と終端抵抗の両方が双方向バス3にインピーダンス整合される。このように設定すると、 $V_{OH2} = 1.05V$ 、 $V_{OL2} = 0.30V$ となり、基準電圧 $V_{ref2} = 0.675V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.375V$ となるため、信号振幅値を十分に確保することができる。

【0112】

一方、1.2V系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6aのオン抵抗及びnMOSトランジスタ6bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ40Ωに設定する。また、受信側を終端する抵抗器8a、8bの値をそれぞれ双方向バス3の特性インピーダンスの2倍の値、ここでは80Ωに設定する。この場合、ドライバのオン抵抗と終端抵抗の両方が双方向バス3にインピーダンス整合される。このように設定すると、 $V_{OH1} = 0.975V$ 、 $V_{OL1} = 0.375V$ となり、基準電圧 $V_{ref1} = 0.675V$ となる。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は0.30Vとなるため、信号振幅値を十分に確保することができる。

【0113】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。本実施例では、各ドライバのオン抵抗及び各終端抵抗の値がそれぞれ伝送線路と整合しているので、特にSignal integrityが優れている。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 V_{ref} を0.25 ($V_1 + V_2$) に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の1/2の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0114】

図8に図7に示した第3実施例の信号伝送システムを一般化した回路を示す。

【0115】

図8(a)は電源電圧 $V_{DDQ} = V_1$ 系のLSI1から電源電圧 $V_{DDQ} = V_2$ 系のLSI2へ信号を送信する場合の等価回路を示し、図8(b)は V_2 系のLSI2から V_1 系のLSI1へ信号を送信する場合の等価回路を示している。

【0 1 1 6】

なお、図 8 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0 1 1 7】

また、信号を送信するドライバは Push-pull 接続された p MOS トランジスタ及び n MOS トランジスタで構成され、伝送線路である双方向バス 3 の特性インピーダンスは Z_0 である。信号を受信する Receiver は C T T 終端されている。

【0 1 1 8】

まず、 V_1 系の L S I 1 から信号を送信する場合、ドライバを構成する p MOS トランジスタ 4 a のオン抵抗及び n MOS トランジスタ 4 b のオン抵抗を双方向バス 3 の特性インピーダンスに合わせてそれぞれ Z_0 に設定する。また、受信側を終端する抵抗器 9 a、9 b の値をそれぞれ双方向バス 3 の特性インピーダンスの 2 倍の値 $2 Z_0$ に設定する。この場合、ドライバのオン抵抗と終端抵抗の両方が双方向バス 3 にインピーダンス整合される。

【0 1 1 9】

このように、ドライバのオン抵抗及び抵抗器 9 a、9 b の値を設定すれば、伝送信号のハイレベル V_{OH2} 、ロウレベル V_{OL2} 、及び基準電圧 V_{ref2} は

$$V_{OH2} = 0.5V_1 + 0.25V_2$$

$$V_{OL2} = 0.25V_2$$

$$V_{ref2} = 0.25(V_1 + V_2)$$

となる。

【0 1 2 0】

一方、 V_2 系の L S I 2 から信号を送信する場合、ドライバを構成する p MOS トランジスタ 6 a のオン抵抗及び n MOS トランジスタ 6 b のオン抵抗を双方向バス 3 の特性インピーダンスに合わせてそれぞれ Z_0 に設定する。また、受信側を終端する抵抗器 8 a、8 b の値をそれぞれ双方向バス 3 の特性インピーダン

スの2倍の値 $2Z_0$ に設定する。この場合、ドライバのオン抵抗と終端抵抗の両方が双方向バス3にインピーダンス整合される。

【0121】

このように、ドライバのオン抵抗及び抵抗器8a、8bの値を設定すれば、伝送信号のハイレベル V_{OH1} 、ロウレベル V_{OL1} 、及び基準電圧 V_{ref1} は

$$V_{OH1} = 0.25V_1 + 0.5V_2$$

$$V_{OL1} = 0.25V_1$$

$$V_{ref1} = 0.25(V_1 + V_2)$$

となる。

【0122】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。本実施例では、各ドライバのオン抵抗及び各終端抵抗の値がそれぞれ伝送線路と整合しているので、特にSignal integrityが優れている。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 V_{ref} を $0.25(V_1 + V_2)$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0123】

(第2の実施の形態)

図9は本発明の信号伝送システムの第2の実施の形態の構成を示すブロック図である。

【0124】

図9(a)に示すように、第2の実施の形態の信号伝送システムは、1.5V

系の半導体集積回路装置 (LSI) 1 と 1.2 V 系の半導体集積回路装置 (LSI) 2 とが伝送線路である双方向バス 3 で直接接続され、さらに、1.2 V 系の半導体集積回路装置 (LSI) 2 と 1.2 V 系の半導体集積回路装置 (LSI) 16 とが伝送線路である双方向バス 15 で直接接続された構成である。1.5 V 系の LSI 1 と 1.2 V 系の LSI 2 とは、例えば DIMM 17 に搭載される。

【0125】

図 9 (b) に示すように、1.5 V 系の LSI 1 はドライバ (D) 4 を有し、1.2 V 系の LSI 2 は、1.5 V 系の LSI 1 から信号を受信するレシーバ 7、及び CTT 終端を形成する抵抗器 8a、8b と、1.2 V 系の LSI 16 から信号を受信するレシーバ 19、及び CTT 終端を形成する抵抗器 20a、20b とを有する構成である。また、1.2 V 系の LSI 16 は、ドライバ (D) 18 を有する構成である。図 9 (b) では、構成を簡単に示すため、1.2 V 系の LSI 2 が 1.5 V 系の LSI 1 及び 1.2 V 系の LSI 16 から信号を受信する場合の構成のみを示しているが、各 LSI はそれぞれ双方向に信号伝送が可能な構成である。

【0126】

なお、1.2 V 系の LSI 2 と LSI 16 間は、例えば図 49 に示した従来の信号伝送システムの構成を用いて信号伝送を行えばよい。但し、図 49 では、電源電圧 $V_{DDQ} = 1.5 \text{ V}$ の構成例を示しているため、本実施例では電源電圧 $V_{DDQ} = 1.2 \text{ V}$ に置き換えて考えればよい。その場合、信号伝送に必要な基準電圧 V_{ref} の値は双方とも 0.6 V となる。

【0127】

一方、1.5 V 系の LSI 1 と 1.2 V 系の LSI 12 間は、第 1 の実施の形態で示した信号伝送システムの構成を用いて信号伝送を行えばよい。その場合、信号伝送に必要な基準電圧 V_{ref} の値は双方とも 0.675 V となる。

【0128】

第 2 の実施の形態の信号伝送システムは、信号を送信するドライバのオン抵抗と基準電圧 V_{ref} の設定方法が図 52 に示した従来の信号伝送システムと異なる構成である。

【0129】

本実施形態の構成によれば、電源電圧 V_{DDQ} が 2 種類、基準電圧 V_{ref} が 2 種類となり、従来よりもこれらの電圧の種類を低減できる。また、基準電圧 V_{ref} も容易に生成できる。本実施形態では、DIMM17 へ供給する電源電圧 V_{DDQ} が 2 種類になるが、1.2V 電源の LSI を多用できるので、DIMM の電力やシステムの電力を低減できる。

【0130】

(第3の実施の形態)

図10は本発明の信号伝送システムの第3の実施の形態の構成を示すブロック図である。

【0131】

図10(a)に示すように、第2の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)1と1.2V系の半導体集積回路装置(LSI)2とが伝送線路である双方向バス3で直接接続され、さらに、1.5V系の半導体集積回路装置(LSI)1と1.5V系の半導体集積回路装置(LSI)21とが伝送線路である双方向バス22で直接接続された構成である。1.5V系のLSI1と1.5V系のLSI21とは、例えばDIMM17に搭載される。

【0132】

図10(b)に示すように、1.5V系のLSI1は、1.5V系のLSI21から信号を受信するレシーバ23、及びCTT終端を形成する抵抗器25a、25bと、1.2V系のLSI2から信号を受信するレシーバ5、及びCTT終端を形成する抵抗器8a、8bとを有する構成である。また、1.5V系のLSI21はドライバ24を有し、1.2V系のLSI2はドライバ6を有する構成である。図10(b)では、構成を簡単に示すため、1.5V系のLSI1が1.5V系のLSI21及び1.2V系のLSI11から信号を受信する場合の構成のみを示しているが、各LSIはそれぞれ双方向に信号伝送が可能な構成である。

【0133】

なお、1.5V系のLSI21とLSI11間は、例えば図49に示した従来の信号伝送システムの構成を用いて信号伝送を行えばよい。その場合、信号伝送に必要な基準電圧 V_{ref} の値は双方とも0.75Vとなる。

【0134】

一方、1.5V系のLSI1と1.2V系のLSI12間は、第1の実施の形態で示した信号伝送システムの構成を用いて信号伝送を行えばよい。その場合、信号伝送に必要な基準電圧 V_{ref} の値は双方とも0.675Vとなる。

【0135】

本実施形態の構成によれば、電源電圧 V_{DDQ} が2種類、基準電圧 V_{ref} が2種類となり、従来よりもこれらの電圧の種類を低減できる。また、基準電圧 V_{ref} も容易に生成できる。本実施形態では、DIMM17へ供給する電源電圧 V_{DDQ} が1種類になるため、DIMM基板の層数を減らすことができる。

【0136】

(第4の実施の形態)

図11は本発明の信号伝送システムの第4の実施の形態の構成を示すブロック図である。

【0137】

図11に示すように、第4の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)30と1.2V系の半導体集積回路装置(LSI)31とが伝送線路である双方向バス32で直接接続され、さらに1.2V系の半導体集積回路装置(LSI)31と1.2V系の半導体集積回路装置(LSI)51とが伝送線路である双方向バス41で直接接続された構成である。1.5V系のLSI30と1.2V系のLSI31とは、例えばDIMM50に搭載される。

【0138】

1.5V系のLSI30は、ドライバ(D)33、レシーバ(R)34、VTT終端を形成する抵抗器37、及びスイッチ38を有する構成である。1.2V系のLSI31は、1.5V系のLSI30と信号を送受信するためのドライバ(D)35、レシーバ(R)36、VTT終端を形成する抵抗器39、及びスイ

ッチ40と、1.2V系のLSI51と信号を送受信するためのドライバ(D)42、レシーバ(R)43、VTT終端を形成する抵抗器46、及びスイッチ47とを有する構成である。また、1.2V系のLSI51は、ドライバ(D)44、レシーバ(R)45、VTT終端を形成する抵抗器48、及びスイッチ49を有する構成である。

【0139】

本実施形態の信号伝送システムでは、1.2V系のLSI31及びLSI51は同じ電源電圧VDDQで動作するLSI間で信号伝送を行うため、 $V_{TT}=0.5V_2=0.6V$ に設定する。ここで、 V_2 は低VDDQ値、すなわち、ここでは $V_2=1.2V$ である。また、1.5V系のLSI30と1.2V系のLSI51間を中継する1.2V系のLSI31には低VDDQ値を供給する。

【0140】

このような構成において、1.5V系のLSI30から1.2V系のLSI31へ信号を送信する場合は、1.2V系のLSI31のドライバ35の出力をハイインピーダンス(High impedance)状態に設定し、1.5V系のLSI30のスイッチ38をOFFにする。逆に、1.2V系のLSI31から1.5V系のLSI30へ信号を送信する場合は、1.5V系のLSI30のドライバ33の出力をハイインピーダンス状態に設定し、1.2V系のLSI31のスイッチ40をOFFにする。そして、1.2V系のLSI31から1.5V系のLSI30へ信号を送信するときに参照する基準電圧 V_{ref1} と、1.5V系のLSI30から1.2V系のLSI31へ信号を送信するときに参照する基準電圧 V_{ref2} とを一致させる。具体的には $V_{ref1}=V_{ref2}=0.5V_2$ とする。ここで、 V_2 は、2つのLSIに供給する電源電圧VDDQのうち、低い方の電源電圧VDDQ(図11では1.2V)である。したがって、基準電圧 $V_{ref1}=V_{ref2}=0.6V$ となる。

【0141】

この基準電圧 V_{ref} は、LSIの出力信号のハイレベル及びロウレベルを用いて表すことも可能であり、1.5V系のLSI30から送信する信号のハイレベルを VOH_2 、信号のロウレベルを VOL_2 としたとき、基準電圧 V_{ref2}

$= 0.5 (V_{OH2} + V_{OL2})$ であり、1.2V系のLSI31から送信する信号のハイレベルを V_{OH1} 、信号のロウレベルを V_{OL1} としたとき、基準電圧 $V_{ref1} = 0.5 (V_{OH1} + V_{OL1})$ である。なお、1.2V系のLSI31とLSI51間は、例えば図53(b)に示した従来の信号伝送システムの構成を用いて信号伝送を行えばよい。その場合、信号伝送に必要な基準電圧 V_{ref} の値は双方とも0.6Vとなる。このように基準電圧 V_{ref} を設定することで、電源電圧 V_{DDQ} は2種類、終端電圧 V_{TT} は1種類、基準電圧 V_{ref} は1種類で済み、基準電圧 V_{ref} も容易に生成できる。

【0142】

本実施形態では、DIMM50へ供給する電源電圧 V_{DDQ} が2種類になるが、1.2V電源のLSIを多用できるので、DIMMの電力やシステムの電力を低減できる。

【0143】

図12は、図11に示した第4の実施の形態を実現する、信号伝送システムの第4実施例の構成を示す回路図である。図12は1.5V系のLSI30と1.2V系のLSI31間の回路のみ示している。本実施形態は、図11に示した3つのLSI間で信号を伝送する例だけでなく、図12に示すように異なる電源電圧で動作する2つのLSI間で信号を伝送する場合にも有効である。なお、図12(a)は1.5V系のLSI30から1.2V系のLSI31へ信号を送信する場合の等価回路を示し、図12(b)は1.2V系のLSI31から1.5V系のLSI30へ信号を送信する場合の等価回路を示している。

【0144】

また、図12では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器37、39の値に含めて記載している。

【0145】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス32の特性イン

ピーダンス Z_0 は $40\ \Omega$ である。信号を受信する Receiver は VTT 終端されている。

【0146】

第4実施例の信号伝送システムは、1.5V系のLSI30から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器39の値を双方向バス32の特性インピーダンス Z_0 と同じ $40\ \Omega$ に設定する。この場合、終端抵抗の値は双方向バス32にインピーダンス整合される。

【0147】

また、ドライバを構成するnMOSトランジスタ33bのオン抵抗を双方向バス32の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定し、pMOSトランジスタ33aのオン抵抗を $50\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.00\text{V}$ 、 $V_{OL2} = 0.20\text{V}$ となり、基準電圧 $V_{ref2} = 0.60\text{V}$ となる。

この場合、基準電圧 V_{ref2} の値は低VDDQ値 (1.2V) の $1/2$ である。また、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.40V となるため、信号振幅値を十分に確保することができる。

【0148】

なお、本実施例では、pMOSトランジスタ33aのオン抵抗が双方向バス32の特性インピーダンス Z_0 よりも大きくなっているが、これらの値を調整することで信号の振幅を変えることが可能であり、信号振幅をより大きくしたい場合は、その他の値の組合せにしてもよい。例えば、pMOSトランジスタ33aのオン抵抗 $= 35\ \Omega$ 、nMOSトランジスタ33bのオン抵抗 $= 10\ \Omega$ にすると、 $V_{OH2} = 1.08\text{V}$ 、 $V_{OL2} = 0.12\text{V}$ となり、基準電圧 $V_{ref2} = 0.60\text{V}$ となる。

【0149】

一方、1.2V系のLSI31から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器37の値を双方向バス32の特性インピーダンス Z_0 と同じ $40\ \Omega$ に設定する。この場合、終端抵抗の値は双方向バス32とインピーダンス整合される。

【0150】

また、ドライバを構成する pMOS トランジスタ 35a のオン抵抗及び nMOS トランジスタ 35b のオン抵抗をそれぞれ双方向バス 32 の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.00\text{ V}$ 、 $V_{OL2} = 0.20\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.60\text{ V}$ となり、基準電圧 V_{ref2} に一致する。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0151】

なお、本実施例では、pMOS トランジスタ 33a のオン抵抗が双方向バス 32 の特性インピーダンス Z_0 よりも大きくなっているが、これらの値を調整することで信号の振幅を変えることが可能であり、信号振幅をより大きくしたい場合は、その他の値の組合せにしてもよい。例えば、pMOS トランジスタ 33a のオン抵抗 $= 35\ \Omega$ 、nMOS トランジスタ 33b のオン抵抗 $= 10\ \Omega$ にすると、 $V_{OH2} = 1.08\text{ V}$ 、 $V_{OL2} = 0.12\text{ V}$ となり、基準電圧 $V_{ref2} = 0.60\text{ V}$ となる。

【0152】

また、双方向バス 32 上を流れる信号のリターン電流の経路 (Reference) を、1.5 V 系の LSI 30 と 1.2 V 系の LSI 31 とに共通な接地電位 (GND) にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} を Reference とする場合、1.5 V 電源と 1.2 V 電源とをそれぞれ Reference として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 32 を流れる信号のリターン電流の経路 (Reference) は接地電位 (GND) であることが好ましい。

【0153】

このように、VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、終端電圧 VTT は 1 種類、基準電圧 V_{ref} は 1 種類で

済む。さらに、基準電圧 V_{ref} を $0.5V_2$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0154】

図13に図12に示した第4実施例の信号伝送システムを一般化した回路を示す。

【0155】

図13(a)は電源電圧 $V_{DDQ} = V_1$ 系の LSI 30 から電源電圧 $V_{DDQ} = V_2$ 系の LSI 31 へ信号を送信する場合の等価回路を示し、図13(b)は V_2 系の LSI 31 から V_1 系の LSI 30 へ信号を送信する場合の等価回路を示している。なお、図13では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0156】

また、信号を送信するドライバはPush-pull接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 32 の特性インピーダンスは Z_0 である。信号を受信するReceiverはVT T終端されている。

【0157】

まず、 V_1 系の LSI 30 から信号を送信する場合、信号受信側の VT T終端を形成する抵抗器 39 の値を双方向バス 32 の特性インピーダンス Z_0 と同じ値に設定する。この場合、終端抵抗の値は双方向バス 32 とインピーダンス整合される。

【0158】

また、ドライバを構成する nMOS トランジスタ 33b のオン抵抗を双方向バス 32 の特性インピーダンス以下の値、例えば R_Ω に設定し、pMOS トランジ

スタ 3 3 a のオン抵抗を、基準電圧 $V_{ref2} = 0.5V_2$ となるように $R_1 \Omega$ に設定する。このとき、 R_1 は、

$$R_1 = 2V_1(R + Z_0) / V_2 - (2Z_0 + R)$$

となる。

【0 1 5 9】

また、伝送信号のハイレベル V_{OH2} 、ロウレベル V_{OL2} は、

$$V_{OH2} = (V_2 \cdot Z_0 + 0.5V_2 \cdot R) / (R + Z_0)$$

$$V_{OL2} = 0.5V_2 \cdot R / (R + Z_0)$$

である。

【0 1 6 0】

一方、 V_2 系の $L S I 3 1$ から信号を送信する場合、信号受信側の $V T T$ 終端を形成する抵抗器 3 7 の値を双方向バス 3 2 の特性インピーダンス Z_0 と同じ値に設定する。この場合、終端抵抗の値は双方向バス 3 2 とインピーダンス整合される。

【0 1 6 1】

また、ドライバを構成する $p M O S$ トランジスタ 3 3 a のオン抵抗及び $n M O S$ トランジスタ 3 5 b のオン抵抗を双方向バス 3 2 の特性インピーダンス以下の値、例えばそれぞれ $R_2 \Omega$ に設定する。このとき、基準電圧 V_{ref1} は、

$$V_{ref1} = 0.5V_2$$

となる。

【0 1 6 2】

また、伝送信号のハイレベル V_{OH1} 、ロウレベル V_{OL1} は、

$$V_{OH1} = (V_2 \cdot Z_0 + 0.5V_2 \cdot R_2) / (R_2 + Z_0)$$

$$V_{OL1} = 0.5V_2 \cdot R_2 / (R_2 + Z_0)$$

である。

【0 1 6 3】

このように、 $V T T$ 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源

電圧 V_{DDQ} は 2 種類、終端電圧 V_{TT} は 1 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、基準電圧 V_{ref} を $0.5V_2$ に設定しているので、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレイン-ソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0164】

図 14 は本発明の信号伝送システムの第 5 実施例の構成を示す回路図である。図 14 は $1.5V$ 系の LSI 55 と $1.2V$ 系の LSI 56 間の回路のみ示している。なお、図 14 (a) は $1.5V$ 系の LSI 55 から $1.2V$ 系の LSI 56 へ信号を送信する場合の等価回路を示し、図 14 (b) は $1.2V$ 系の LSI 56 から $1.5V$ 系の LSI 55 へ信号を送信する場合の等価回路を示している。

【0165】

また、図 14 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 60a、60b、62a、62b の値に含めて記載している。

【0166】

また、信号を送信する Driver は Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 57 の特性インピーダンス Z_0 は 40Ω である。信号を受信する Receiver は CTT 終端されている。

【0167】

第 5 実施例の信号伝送システムは、 $1.5V$ 系の LSI 55 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 59a のオン抵抗及び nMOS トランジスタ 59b のオン抵抗を双方向バス 57 の特性インピーダンスと同じ 40Ω に設定する。この場合、ドライバのオン抵抗は双方向バス 57 とインピー

ダンス整合される。

【0168】

また、信号受信側のCTT終端を形成する抵抗器60aの値を双方向バス57の $2Z_0$ 以上の値、例えば 120Ω に設定し、抵抗器60bの値を 97.78Ω に設定する。このようにすると、 $V_{OH2}=1.09V$ 、 $V_{OL2}=0.23V$ となり、基準電圧 $V_{ref2}=0.66V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.43V$ となるため、信号振幅値を十分に確保することができる。

【0169】

一方、1.2V系のLSI56から信号を送信する場合、ドライバを構成するpMOSトランジスタ61aのオン抵抗及びnMOSトランジスタ61bのオン抵抗を双方向バス57の特性インピーダンスと同じ 40Ω に設定する。この場合、ドライバのオン抵抗は双方向バス57とインピーダンス整合される。

【0170】

また、信号受信側のCTT終端を形成する抵抗器62bの値を双方向バス57の $2Z_0$ 以上の値、例えば 120Ω に設定し、抵抗器62aの値も 120Ω に設定する。このようにすると、 $V_{OH2}=1.02V$ 、 $V_{OL2}=0.30V$ となる。また、基準電圧 $V_{ref1}=0.66V$ となり、基準電圧 V_{ref2} に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.36V$ となるため、信号振幅値を十分に確保することができる。

【0171】

また、双方向バス57上を流れる信号のリターン電流の経路(Reference)を、1.5V系のLSI55と1.2V系のLSI56とに共通な接地電位(GND)にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} をReferenceとする場合、1.5V電源と1.2V電源とをそれぞれReferenceとして用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス57を流れる信号のリターン電流の経路(Reference)は接地電位(GND)であることが好ましい。このことは以下の例でも同様であるので、以下省略する。

【0172】

このように、C T T 終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、伝送信号の最小振幅を図5の例よりも若干大きく取れる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0173】

図15に図14に示した第5実施例の信号伝送システムを一般化した回路を示す。

【0174】

図15 (a) は電源電圧 $V_{DDQ} = V_1$ 系のLSI 55から電源電圧 $V_{DDQ} = V_2$ 系のLSI 56へ信号を送信する場合の等価回路を示し、図15 (b) は V_2 系のLSI 56から V_1 系のLSI 55へ信号を送信する場合の等価回路を示している。なお、図15では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0175】

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス57の特性インピーダンスは Z_0 である。信号を受信するReceiverはC T T 終端されている。

【0176】

まず、 V_1 系のLSI 55から信号を送信する場合、ドライバを構成するpMOSトランジスタ59aのオン抵抗及びnMOSトランジスタ59bのオン抵抗

を双方向バス 5 7 の特性インピーダンスと同じ Z_0 に設定する。この場合、ドライバのオン抵抗は双方向バス 5 7 とインピーダンス整合される。

【 0 1 7 7 】

また、信号受信側の C T T 終端を形成する抵抗器 6 0 a の値を双方向バス 5 7 の $2 Z_0$ 以上の値、ここでは $R \Omega$ に設定し、抵抗器 6 0 b の値を $R 1 \Omega$ に設定する。

【 0 1 7 8 】

ここで、 $R 1$ は、以下の式を満たす。

【 0 1 7 9 】

$$R1 = 2R \cdot Z_0 (V1 \cdot Z_0 + 0.5V2 \cdot R) / (V2 \cdot R \cdot Z_0 + R \cdot R \cdot V1 + 4Z_0 \cdot Z_0 \cdot V2 - R \cdot R \cdot V2 - 2Z_0 \cdot Z_0 \cdot V1)$$

このようにすると、

$$VOH2 = (R \cdot R1 \cdot V1 + R1 \cdot Z_0 \cdot V2) / (R \cdot R1 + R1 \cdot Z_0 + R \cdot Z_0)$$

$$VOL2 = R1 \cdot Z_0 \cdot V2 / (R \cdot R1 + R \cdot Z_0 + R1 \cdot Z_0)$$

となり、

$$Vref2 = (0.5V1 \cdot Z_0 + 0.25V2 \cdot R) / (Z_0 + 0.5R)$$

となる。

【 0 1 8 0 】

一方、V 2 系の L S I 5 6 から信号を送信する場合、ドライバを構成する p M O S トランジスタ 6 1 a のオン抵抗及び n M O S トランジスタ 6 1 b のオン抵抗を双方向バス 5 7 の特性インピーダンスと同じ Z_0 に設定する。この場合、ドライバのオン抵抗は双方向バス 5 7 とインピーダンス整合される。

【 0 1 8 1 】

また、信号受信側の C T T 終端を形成する抵抗器 6 2 b の値を双方向バス 5 7 の $2 Z_0$ 以上の値、ここでは $R \Omega$ に設定し、抵抗器 6 2 a の値も $R \Omega$ に設定する。

【 0 1 8 2 】

このようにすると、

$$VOH1 = (0.5V1 \cdot Z_0 + 0.5V2 \cdot R) / (Z_0 + 0.5R)$$

$$VOL1=0.5V1 \cdot Z0/(Z0+0.5R)$$

となり、

$$Vref1=(0.5V1 \cdot Z0+0.25V2 \cdot R)/(Z0+0.5R)$$

となる。この値はVref2と同一である。

【0183】

このように、C T T 終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を送送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、伝送信号の最小振幅を図6の例よりも若干大きく取れる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0184】

図16は本発明の信号伝送システムの第6実施例の構成を示す回路図である。図16は1.5V系のLSI55と1.2V系のLSI56間で信号伝送を行う回路例である。図16(a)は1.5V系のLSI55から1.2V系のLSI56へ信号を送信する場合の等価回路を示し、図16(b)は1.2V系のLSI56から1.5V系のLSI55へ信号を送信する場合の等価回路を示している。

【0185】

また、図16では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器60a、60b、62a、62bの値に含めて記載している。

【0186】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及

び nMOS トランジスタで構成され、伝送線路である双方向バス 57 の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信する Receiver は CTT 終端されている。

【0187】

第 6 実施例の信号伝送システムでは、1.5V 系の LSI 55 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 59a のオン抵抗及び nMOS トランジスタ 59b のオン抵抗を双方向バス 57 の特性インピーダンスと同じ $40\ \Omega$ に設定する。この場合、ドライバのオン抵抗は双方向バス 57 とインピーダンス整合される。

【0188】

また、信号受信側の CTT 終端を形成する抵抗器 60a の値及び抵抗器 60b の値をそれぞれ双方向バス 57 の $2Z_0$ 以上の値、例えば $120\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.14\text{ V}$ 、 $V_{OL2} = 0.24\text{ V}$ となり、基準電圧 $V_{ref2} = 0.69\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.45 V となるため、信号振幅値を十分に確保することができる。

【0189】

一方、1.2V 系の LSI 56 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 61a のオン抵抗及び nMOS トランジスタ 61b のオン抵抗を双方向バス 57 の特性インピーダンスと同じ $40\ \Omega$ に設定する。この場合、ドライバのオン抵抗は双方向バス 57 とインピーダンス整合される。

【0190】

また、信号受信側の CTT 終端を形成する抵抗器 62b の値を双方向バス 57 の $2Z_0$ 以上の値、例えば $120\ \Omega$ に設定し、抵抗器 62a の値を $101.25\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.037\text{ V}$ 、 $V_{OL1} = 0.343\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.69\text{ V}$ となり、基準電圧 V_{ref2} に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.347 V となるため、信号振幅値を十分に確保することができる。

【0191】

このように、C T T 終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、基準電圧 V_{ref} の値を若干高めに設定できるので、nMOSトランジスタで受ける入力回路の設計が容易になる可能性がある。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0192】

なお、第2実施例（図5）、第5実施例（図14）、及び第6実施例（図16）は、C T T 終端され、オン抵抗が伝送線路の特性インピーダンス Z_0 に等しいPush-pull接続のドライバを有するという基本構成は同じであるので、終端抵抗の値を可変できるようにしておけば、どのタイプにも対応できる。

【0193】

図17は本発明の信号伝送システムの第7実施例の構成を示す回路図である。図17は1.5V系のLSI55と1.2V系のLSI56間で信号伝送を行う回路例である。図17（a）は1.5V系のLSI55から1.2V系のLSI56へ信号を送信する場合の等価回路を示し、図17（b）は1.2V系のLSI56から1.5V系のLSI55へ信号を送信する場合の等価回路を示している。

【0194】

また、図17では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器66a、66b、68a、68bの値に含めて記載している。

【0195】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス57の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0196】

第7実施例の信号伝送システムでは、1.5V系のLSI55から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器66aの値及び抵抗器R66bの値を、それぞれ双方向バス57の $2Z_0$ に等しい 80Ω に設定する。終端抵抗の値は抵抗器66aと66bの並列値に等しいため、双方向バス57とインピーダンス整合される。

【0197】

また、ドライバを構成するnMOSトランジスタ65bのオン抵抗を双方向バス57の特性インピーダンス Z_0 以下の値、例えば 20Ω に設定し、pMOSトランジスタ65aのオン抵抗を 32Ω に設定する。このようにすると、 $V_{OH2} = 1.10V$ 、 $V_{OL2} = 0.20V$ となり、基準電圧 $V_{ref2} = 0.65V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.45V$ となるため、信号振幅値を十分に確保することができる。

【0198】

一方、1.2V系のLSI56から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器68aの値及び抵抗器R68bの値をそれぞれ双方向バス57の $2Z_0$ に等しい 80Ω に設定する。終端抵抗の値は抵抗器68aと68bの並列値に等しいため、双方向バス57とインピーダンス整合される。

【0199】

また、ドライバを構成するnMOSトランジスタ67bのオン抵抗及びpMOSトランジスタ67aのオン抵抗を、それぞれ双方向バス57の特性インピーダンス Z_0 以下の値、例えば 20Ω に設定する。このようにすると、 $V_{OH1} = 1.05V$ 、 $V_{OL1} = 0.25V$ となる。また、基準電圧 $V_{ref1} = 0.65V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.40V$ となるため、信号振幅値を十分に確保するこ

とができる。

【0200】

このように、C T T 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、伝送信号の最小振幅を図 2 の例よりも大きく取れる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの p MOS トランジスタ及び n MOS トランジスタのドレインソース間に十分な電位が印加され、p MOS トランジスタ及び n MOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0201】

図 18 に図 17 に示した第 7 実施例の信号伝送システムを一般化した回路を示す。

【0202】

図 18 (a) は電源電圧 $V_{DDQ} = V_1$ 系の L S I 55 から電源電圧 $V_{DDQ} = V_2$ 系の L S I 56 へ信号を送信する場合の等価回路を示し、図 18 (b) は V_2 系の L S I 56 から V_1 系の L S I 55 へ信号を送信する場合の等価回路を示している。なお、図 18 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0203】

また、信号を送信するドライバは Push-pull 接続された p MOS トランジスタ及び n MOS トランジスタで構成され、伝送線路である双方向バス 57 の特性インピーダンスは Z_0 である。信号を受信する Receiver は C T T 終端されている。

【0204】

まず、1.5 V 系の L S I 55 から信号を送信する場合、信号受信側の C T T

終端を形成する抵抗器 66a の値及び抵抗器 R66b の値をそれぞれ $2Z_0$ に設定する。終端抵抗の値は抵抗器 66a と 66b の並列値に等しいため、双方向バス 57 とインピーダンス整合される。

【0205】

また、ドライバを構成する nMOS トランジスタ 65b のオン抵抗を双方向バス 57 の特性インピーダンス Z_0 以下の値、ここでは R_Ω に設定し、pMOS トランジスタ 65a のオン抵抗を $R_1\Omega$ に設定する。

【0206】

このとき、 R_1 は、

$$R_1 = (V_1 \cdot Z_0 \cdot Z_0 - V_2 \cdot Z_0 \cdot Z_0 + 0.5V_2 \cdot Z_0 \cdot R) / (V_1 \cdot R + 0.5V_2 \cdot Z_0 - V_2 \cdot R)$$

となる。

【0207】

このようにすると、

$$V_{OH2} = (0.5V_2 \cdot R_1 + V_1 \cdot Z_0) / (R_1 + Z_0)、$$

$$V_{OL2} = 0.5V_2 \cdot R / (R + Z_0)$$

となり、

$$V_{ref2} = (V_1 \cdot R + Z_0 \cdot V_2) / 2(Z_0 + R)$$

となる。

【0208】

一方、1.2V 系の LSI 56 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 68a の値及び抵抗器 R68b の値をそれぞれ $2Z_0$ に設定する。終端抵抗の値は抵抗器 68a と 68b の並列値に等しいため、双方向バス 57 とインピーダンス整合される。

【0209】

また、ドライバを構成する nMOS トランジスタ 67b のオン抵抗及び pMOS トランジスタ 67a のオン抵抗を、それぞれ双方向バス 57 の特性インピーダンス Z_0 以下の値、ここでは R_Ω に設定する。このようにすると、

$$V_{OH1} = (0.5V_1 \cdot R + V_2 \cdot Z_0) / (R + Z_0)$$

$$V_{OL1} = (V_1 \cdot R + Z_0 \cdot V_2) / 2(R + Z_0)$$

となり、

$V_{ref1} = (V1 \cdot R + Z0 \cdot V2) / 2(Z0 + R)$ となり、 V_{ref2} と一致している。

【0210】

このように、C T T 終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、伝送信号の最小振幅を図4の例よりも大きく取れる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレイン-ソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0211】

なお、図17では基準電圧 V_{ref} の値を $0.65V$ に統一した例を示しが、ドライバのオン抵抗を調整することで、例えば、 $0.7V$ に統一することも可能である。

【0212】

なお、第1実施例（図2）、及び第7実施例（図17）は、終端抵抗の値が伝送線路の特性インピーダンスに等しいC T T 終端され、Push-pull接続のドライバを有するという基本構成は同じであるので、ドライバのオン抵抗の値を可変できるようにしておけば、どのタイプにも対応できる。

【0213】

また、上記各実施例では、ドライバのオン抵抗を伝送線路の特性インピーダンスに揃えるか、あるいは終端抵抗の値を伝送線路の特性インピーダンスに揃える構成を示したが、両者の組合せも可能である。すなわち、 $1.5V$ 系から駆動するときはドライバのオン抵抗を伝送線路の特性インピーダンスに揃え、 $1.2V$ 系から駆動する時は終端抵抗の値を伝送線路の特性インピーダンスに揃えることも可能であり、それと逆の構成も可能である。もちろん、基準電圧 V_{ref} の値

は双方で合わせておくことが有効である。

【0214】

図19は本発明の信号伝送システムの第8実施例の構成を示す回路図である。図19は1.5V系のLSI70と1.2V系のLSI71間で信号伝送を行う回路例である。図19(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図19(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

【0215】

また、図19では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

【0216】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。

【0217】

1.5V系のLSI70側の駆動に対応するVTTには、受信側の1.2V系のLSI71の電源電圧 V_{DDQ} (1.2V) の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71側の駆動に対応するVTTには、受信側の1.5V系のLSI70の電源電圧 V_{DDQ} (1.5V) の $1/2$ である0.75Vが供給される。

【0218】

第8実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ 40Ω に設定する。したがって、終端抵抗が双方向バス72とインピーダンス整合される。

【0219】

また、ドライバを構成する nMOS トランジスタ 73b のオン抵抗を双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、pMOS トランジスタ 73a のオン抵抗を $25.45\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.15\text{ V}$ 、 $V_{OL2} = 0.20\text{ V}$ となり、基準電圧 $V_{ref2} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.475 V となるため、信号振幅値を十分に確保することができる。

【0220】

あるいは、ドライバを構成する nMOS トランジスタ 73b のオン抵抗を双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $40\ \Omega$ に設定し、pMOS トランジスタ 73a のオン抵抗も $40\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.05\text{ V}$ 、 $V_{OL2} = 0.30\text{ V}$ となり、基準電圧 $V_{ref2} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0221】

一方、 1.2 V 系の LSI 71 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 76 の値を双方向バス 72 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 72 とインピーダンス整合される。

【0222】

また、ドライバを構成する pMOS トランジスタ 75a のオン抵抗を双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、nMOS トランジスタ 75b のオン抵抗を $26.67\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.05\text{ V}$ 、 $V_{OL1} = 0.30\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.675\text{ V}$ となり、基準電圧 V_{ref2} の値に一致している。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0223】

あるいは、ドライバを構成する pMOS トランジスタ 75a のオン抵抗を双方

向バス 72 の特性インピーダンス Z_0 以下の値、例えば $40\ \Omega$ に設定し、nMOS トランジスタ 75b のオン抵抗を $40\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 0.975\text{ V}$ 、 $V_{OL1} = 0.375\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.675\text{ V}$ となり、基準電圧 V_{ref2} の値に一致している。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.30 V となるため、信号振幅値を十分に確保することができる。

【0224】

このように、VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、本実施例では基準電圧 $V_{ref} = 0.25 (V_1 + V_2)$ となるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。終端電圧 VTT は 2 種類必要であるが、ドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0225】

図 20 に図 19 に示した第 8 実施例の信号伝送システムを一般化した回路を示す。

【0226】

図 20 (a) は電源電圧 $V_{DDQ} = V_1$ 系の LSI 70 から電源電圧 $V_{DDQ} = V_2$ 系の LSI 71 へ信号を送信する場合の等価回路を示し、図 20 (b) は V_2 系の LSI 71 から V_1 系の LSI 70 へ信号を送信する場合の等価回路を示している。なお、図 20 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端

抵抗を形成する各抵抗器の値に含めて記載している。

【0 2 2 7】

また、信号を送信するドライバはPush-pull接続されたp MOSトランジスタ及びn MOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンスは Z_0 である。信号を受信するReceiverはVT T終端されている。

【0 2 2 8】

V1系のLSI70側の駆動に対応するVT Tには、受信側のV2系のLSI71の電源電圧VDDQ (V2) の $1/2$ である $0.5V_2$ が供給される。また、V2系のLSI71側の駆動に対応するVT Tには、受信側のV1系のLSI70の電源電圧VDDQ (V1) の $1/2$ である $0.5V_1$ が供給される。

【0 2 2 9】

まず、V1系のLSI70から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ Z_0 に設定する。したがって、終端抵抗が双方向バス72とインピーダンス整合される。

【0 2 3 0】

また、ドライバを構成するn MOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス Z_0 以下の値、ここでは R_Ω に設定し、 $V_{ref} = 0.25(V_1 + V_2)$ となるようにp MOSトランジスタ73aのオン抵抗を $R_1\Omega$ に設定する。このとき、 R_1 は、

$$R_1 = Z_0(V_2 \cdot Z_0 - V_1 \cdot R - V_1 \cdot Z_0) / (V_2 \cdot R - V_1 \cdot Z_0 - V_1 \cdot R)$$

となる。

【0 2 3 1】

また、伝送信号のハイレベル V_{OH2} 、ロウレベル V_{OL2} は、

$$V_{OH2} = (V_1 - 0.5V_2)Z_0 / (R_1 + Z_0) + 0.5V_2$$

$$V_{OL2} = 0.5V_2 \cdot R / (Z_0 + R)$$

である。

【0 2 3 2】

あるいは、ドライバを構成するn MOSトランジスタ73bのオン抵抗を双方

向バス 7 2 の特性インピーダンスと同じ Z_0 に設定し、 $V_{ref} = 0.25 (V_1 + V_2)$ となるように pMOS トランジスタ 7 3 a のオン抵抗を Z_0 に設定する。このとき、伝送信号のハイレベル V_{OH2} 、ロウレベル V_{OL2} は、

$$V_{OH2} = 0.5V_1 + 0.25V_2$$

$$V_{OL2} = 0.25V_2$$

である。

【0 2 3 3】

一方、 V_2 系の L S I 7 1 から信号を送信する場合、信号受信側の V T T 終端を形成する抵抗器 7 6 の値を双方向バス 7 2 の特性インピーダンスの値と同じ Z_0 に設定する。したがって、終端抵抗が双方向バス 7 2 とインピーダンス整合される。

【0 2 3 4】

また、ドライバを構成する pMOS トランジスタ 7 5 a のオン抵抗を双方向バス 7 2 の特性インピーダンス Z_0 以下の値、ここでは $R_3 \Omega$ に設定し、 $V_{ref} = 0.25 (V_1 + V_2)$ となるように nMOS トランジスタ 7 5 b のオン抵抗を $R_2 \Omega$ に設定する。このとき、 R_2 は、

$$R_2 = Z_0(V_1 \cdot Z_0 + V_2 \cdot R_3 - V_2 \cdot Z_0) / (V_1 \cdot R_3 + V_2 \cdot Z_0 - V_2 \cdot R_3)$$

となる。

【0 2 3 5】

また、伝送信号のハイレベル V_{OH1} 、ロウレベル V_{OL1} は、

$$V_{OH1} = (V_2 - 0.5V_1)Z_0 / (R_3 + Z_0) + 0.5V_1$$

$$V_{OL1} = 0.5V_1 \cdot R_2 / (Z_0 + R_2)$$

である。

【0 2 3 6】

あるいは、ドライバを構成する pMOS トランジスタ 7 5 a のオン抵抗を双方向バス 7 2 の特性インピーダンスと同じ Z_0 に設定し、 $V_{ref} = 0.25 (V_1 + V_2)$ となるように nMOS トランジスタ 7 5 b のオン抵抗を Z_0 に設定する。このとき、伝送信号のハイレベル V_{OH1} 、ロウレベル V_{OL1} は、

$$V_{OH1} = 0.25V_1 + 0.5V_2$$

$VOL1=0.25V1$

である。

【0237】

このように、VTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 $V_{ref}=0.25(V1+V2)$ となるように設定しているので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。終端電圧VTTは2種類必要であるが、ドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0238】

図21は本発明の信号伝送システムの第9実施例の構成を示す回路図である。図21は1.5V系のLSI70と1.2V系のLSI71間で信号伝送を行う回路例である。図21(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図21(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

【0239】

また、図21では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

【0240】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及

び nMOS トランジスタで構成され、伝送線路である双方向バス 72 の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信する Receiver は VTT 終端されている。さらに、1.5 V 系の LSI 70 側の駆動に対応する VTT には、受信側の 1.2 V 系の LSI 71 の電源電圧 V_{DDQ} (1.2 V) の $1/2$ である 0.6 V が供給される。また、1.2 V 系の LSI 71 側の駆動に対応する VTT には、受信側の 1.5 V 系の LSI 70 の電源電圧 V_{DDQ} (1.5 V) の $1/2$ である 0.75 V が供給される。

【0241】

第 9 実施例の信号伝送システムでは、1.5 V 系の LSI 70 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 74 の値を双方向バス 72 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 72 とインピーダンス整合される。

【0242】

また、ドライバを構成する nMOS トランジスタ 73b のオン抵抗を双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、pMOS トランジスタ 73a のオン抵抗を $110\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 0.95\text{ V}$ 、 $V_{OL2} = 0.25\text{ V}$ となり、基準電圧 $V_{ref2} = 0.6\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.35 V となるため、信号振幅値を十分に確保することができる。

【0243】

一方、1.2 V 系の LSI 71 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 76 の値を双方向バス 72 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 72 とインピーダンス整合される。

【0244】

また、ドライバを構成する pMOS トランジスタ 75a のオン抵抗を双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、nMOS トランジスタ 75b のオン抵抗も $20\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.00\text{ V}$ 、 $V_{OL1} = 0.20\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.$

6 Vとなり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.4 V となるため、信号振幅値を十分に確保することができる。

【0245】

このように、VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を送送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、本実施例では基準電圧 $V_{ref} = 0.5 V_2$ となるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。終端電圧 VTT は 2 種類必要であるが、ドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0246】

図 22 は本発明の信号伝送システムの第 10 実施例の構成を示す回路図である。図 22 は 1.5 V 系の LSI 70 と 1.2 V 系の LSI 71 間で信号伝送を行う回路例である。図 22 (a) は 1.5 V 系の LSI 70 から 1.2 V 系の LSI 71 へ信号を送信する場合の等価回路を示し、図 22 (b) は 1.2 V 系の LSI 71 から 1.5 V 系の LSI 70 へ信号を送信する場合の等価回路を示している。

【0247】

また、図 22 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 74、76 の値に含めて記載している。

【0248】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信するReceiverはVT T終端されている。さらに、1.5V系のLSI70及び1.2V系のLSI71には、高VDDQ値(1.5V)の $1/2$ である0.75Vが終端電圧VT Tとしてそれぞれ供給される。

【0249】

第10実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス72とインピーダンス整合される。

【0250】

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、pMOSトランジスタ73aのオン抵抗を $60\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.05\text{V}$ 、 $V_{OL2} = 0.25\text{V}$ となり、基準電圧 $V_{ref2} = 0.65\text{V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.4V となるため、信号振幅値を十分に確保することができる。

【0251】

一方、1.2V系のLSI71から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器76の値を双方向バス72の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス72とインピーダンス整合される。

【0252】

また、ドライバを構成するpMOSトランジスタ75aのオン抵抗を双方向バス72の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定し、nMOSトランジスタ75bのオン抵抗も $20\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.05\text{V}$ 、 $V_{OL1} = 0.25\text{V}$ となる。また、基準電圧 $V_{ref1} = 0.6\text{V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref}

1 に対する信号振幅値 Δ は 0.4 V となるため、信号振幅値を十分に確保することができる。

【0253】

本実施例では、各ドライバのオン抵抗を調整して $73a = 73b = 75a = 20\Omega$ 、 $75b = 60\Omega$ に設定することで、基準電圧 V_{ref} の値を 0.75 V に設定することが可能である。この場合、本実施例は 1.5 V 系の LSI 70 と信号の送受信を行う他の LSI が存在するシステムに用いてより有効である。図 11 に示した信号伝送システムでは、中間に配置される LSI には低 V_{DDQ} 値が供給されていた。本実施例は、中間に配置される LSI に高 V_{DDQ} 値の供給を可能にする例である。

【0254】

このように、VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、終端電圧 VTT は 1 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、本実施例では基準電圧 $V_{ref} = 0.5V_1$ となるように設定するため基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。また、VTT ではドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレイン-ソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0255】

図 23 は本発明の信号伝送システムの第 11 実施例の構成を示す回路図である。図 23 は 1.5 V 系の LSI 70 と 1.2 V 系の LSI 71 間で信号伝送を行う回路例である。図 23 (a) は 1.5 V 系の LSI 70 から 1.2 V 系の LSI 71 へ信号を送信する場合の等価回路を示し、図 23 (b) は 1.2 V 系の LSI 71 から 1.5 V 系の LSI 70 へ信号を送信する場合の等価回路を示して

いる。

【0256】

また、図23では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

【0257】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。さらに、1.5V系のLSI70側の駆動に対応するVTTには、受信側の1.2V系のLSI71の電源電圧 V_{DDQ} (1.2V) の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71側の駆動に対応するVTTには、受信側の1.5V系のLSI70の電源電圧 V_{DDQ} (1.5V) の $1/2$ である0.75Vが供給される。

【0258】

第11実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ 40Ω に設定する。したがって、終端抵抗が双方向バス72とインピーダンス整合される。

【0259】

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス Z_0 以下の値、例えば 20Ω に設定し、pMOSトランジスタ73aのオン抵抗を 32Ω に設定する。このようにすると、 $V_{OH2} = 1.10V$ 、 $V_{OL2} = 0.2V$ となり、基準電圧 $V_{ref2} = 0.65V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.45V$ となるため、信号振幅値を十分に確保することができる。

【0260】

一方、1.2V系のLSI71から信号を送信する場合、信号受信側のVTT

終端を形成する抵抗器 76 の値を双方向バス 72 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 72 とインピーダンス整合される。

【0261】

また、ドライバを構成する pMOS トランジスタ 75a のオン抵抗及び nMOS トランジスタ 75b のオン抵抗を、それぞれ双方向バス 72 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.05\text{ V}$ 、 $V_{OL1} = 0.25\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.65\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0262】

このように、VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を送送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。本実施例では、基準電圧 V_{ref} の生成回路が少々複雑な構成になるが、伝送信号の最小振幅を図 19 の例よりも大きく取れる。さらに、終端電圧 VTT は 2 種類必要であるが、ドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0263】

図 24 は本発明の信号伝送システムの第 12 実施例の構成を示す回路図である。図 24 は 1.5 V 系の LSI 70 と 1.2 V 系の LSI 71 間で信号伝送を行う回路例である。図 24 (a) は 1.5 V 系の LSI 70 から 1.2 V 系の LSI 71 へ信号を送信する場合の等価回路を示し、図 24 (b) は 1.2 V 系の LSI 71 から 1.5 V 系の LSI 70 へ信号を送信する場合の等価回路を示して

いる。

【0264】

また、図24では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

【0265】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。さらに、1.5V系のLSI70側の駆動に対応するVTTには、受信側の1.2V系のLSI71の電源電圧VDDQ (1.2V) の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71側の駆動に対応するVTTには、受信側の1.5V系のLSI70の電源電圧VDDQ (1.5V) の $1/2$ である0.75Vが供給される。

【0266】

第12実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、ドライバを構成するpMOSトランジスタ73aのオン抵抗及びnMOSトランジスタ73bのオン抵抗の値を双方向バス72の特性インピーダンスと同じ 40Ω に設定する。したがって、ドライバのオン抵抗が双方向バス72とインピーダンス整合される。

【0267】

また、信号受信側のVTT終端を形成する抵抗器74の値を、例えば 26.67Ω に設定する。このようにすると、 $V_{OH2} = 0.96V$ 、 $V_{OL2} = 0.36V$ となり、基準電圧 $V_{ref2} = 0.66V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.33V$ となるため、信号振幅値を十分に確保することができる。

【0268】

一方、1.2V系のLSI71から信号を送信する場合、ドライバを構成する

pMOSトランジスタ75aのオン抵抗及びnMOSトランジスタ75bのオン抵抗の値を双方向バス72の特性インピーダンスと同じ 40Ω に設定する。したがって、ドライバのオン抵抗が双方向バス72とインピーダンス整合される。

【0269】

また、信号受信側のVTT終端を形成する抵抗器76の値を、例えば 60Ω に設定する。このようにすると、 $V_{OH1}=1.02V$ 、 $V_{OL1}=0.30V$ となる。また、基準電圧 $V_{ref1}=0.66V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.36V$ となるため、信号振幅値を十分に確保することができる。

【0270】

このように、VTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、終端電圧VTTは2種類必要であるが、ドライバがハイインピーダンス時に双方向バスにおける電力の消費がない。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0271】

図25は本発明の信号伝送システムの第13実施例の構成を示す回路図である。図25は1.5V系のLSI80と1.2V系のLSI81間で信号伝送を行う回路例である。図25(a)は1.5V系のLSI80から1.2V系のLSI81へ信号を送信する場合の等価回路を示し、図25(b)は1.2V系のLSI81から1.5V系のLSI80へ信号を送信する場合の等価回路を示している。

【0272】

また、図25では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ

、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器 8 4、8 6 の値に含めて記載している。

【0 2 7 3】

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain回路であり（Open drain構成）、伝送線路である双方向バス 8 2 の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信するReceiverはVTT終端されている。なお、1.5 V系のLSI 8 0 側の駆動に対応するVTTには、受信側の1.2 V系のLSI 8 1 の電源電圧VDDQである1.2 Vが供給される。また、1.2 V系のLSI 8 1 側の駆動に対応するVTTには、受信側の1.5 V系のLSI 8 0 の電源電圧VDDQである1.5 Vが供給される。

【0 2 7 4】

第13実施例の信号伝送システムでは、1.5 V系のLSI 8 0 から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器 8 4 の値を双方向バス 8 2 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 8 2 とインピーダンス整合される。

【0 2 7 5】

また、ドライバを構成するnMOSトランジスタ 8 3 のオン抵抗を双方向バス 8 2 の特性インピーダンス Z_0 以下の値、例えば $20\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.2\text{ V}$ 、 $V_{OL2} = 0.40\text{ V}$ となり、基準電圧 $V_{ref2} = 0.80\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0 2 7 6】

一方、1.2 V系のLSI 8 1 から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器 8 6 の値を双方向バス 8 2 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 8 2 とインピーダンス整合される。

【0 2 7 7】

また、ドライバを構成するnMOSトランジスタ 8 5 のオン抵抗を、例えば2

． 86 Ω に設定する。このようにすると、 $V_{OH1} = 1.50\text{ V}$ 、 $V_{OL1} = 0.10\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.80\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.70 V となるため、信号振幅値を十分に確保することができる。

【0278】

また、双方向バス 82 上を流れる信号のリターン電流の経路 (Reference) を、1.5 V 系の LSI 80 と 1.2 V 系の LSI 81 とに共通な接地電位 (GND) にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} を Reference とする場合、1.5 V 電源と 1.2 V 電源とをそれぞれ Reference として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 82 を流れる信号のリターン電流の経路 (Reference) は接地電位 (GND) であることが好ましい。

【0279】

このように、電源電圧 V_{DDQ} に接続された VTT 終端を持つ Open drain ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrity よく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、基準電圧 $V_{ref} = 0.8\text{ V} = (2/3)\text{ V}_2$ であるので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。ドライバは、ハイインピーダンス時に双方向バスにおける電力の消費がない。また、各ドライバの nMOS トランジスタのドレインソース間に十分な電位が印加され、nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。さらに、基準電圧 V_{ref} の値が大きいため、レシーバの設計が容易になる。

【0280】

図 26 は本発明の信号伝送システムの第 14 実施例の構成を示す回路図である。図 26 は 1.5 V 系の LSI 80 と 1.2 V 系の LSI 81 間で信号伝送を行う回路例である。図 26 (a) は 1.5 V 系の LSI 80 から 1.2 V 系の LSI 81 へ信号を送信する場合の等価回路を示し、図 26 (b) は 1.2 V 系の L

LSI81から1.5V系のLSI80へ信号を送信する場合の等価回路を示している。

【0281】

また、図26では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器84、86の値に含めて記載している。

【0282】

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain回路であり、伝送線路である双方向バス82の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。なお、1.5V系のLSI80側の駆動に対応するVTTには、受信側の1.2V系のLSI81の電源電圧VDDQである1.2Vが供給される。また、1.2V系のLSI81側の駆動に対応するVTTには、受信側の1.5V系のLSI80の電源電圧VDDQである1.5Vが供給される。

【0283】

第14実施例の信号伝送システムでは、1.5V系のLSI80から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器84の値を双方向バス82の特性インピーダンスの値と同じ 40Ω に設定する。したがって、終端抵抗が双方向バス82とインピーダンス整合される。

【0284】

また、ドライバを構成するnMOSトランジスタ83のオン抵抗を双方向バス82の特性インピーダンス Z_0 以下の値、例えば 40Ω に設定する。このようにすると、 $V_{OH2} = 1.20V$ 、 $V_{OL2} = 0.60V$ となり、基準電圧 $V_{ref2} = 0.90V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.30V$ となるため、信号振幅値を十分に確保することができる。なお、 Δ は、例えばSSTL-1.8で規定された、基準電圧 V_{ref} に対する入力レベル($0.25V$)の値を目安とする。

【0285】

一方、1.2V系のLSI81から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器86の値を双方向バス82の特性インピーダンスの値と同じ40Ωに設定する。したがって、終端抵抗が双方向バス82とインピーダンス整合される。

【0286】

また、ドライバを構成するnMOSトランジスタ85のオン抵抗を双方向バス82の特性インピーダンスZ0以下の値、例えば40Ωに設定する。このようにすると、 $V_{OH1} = 1.50V$ 、 $V_{OL1} = 0.75V$ となり、基準電圧 $V_{ref1} = 1.125V$ となる。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は0.375Vとなるため、信号振幅値を十分に確保することができる。

【0287】

本実施例では、基準電圧 V_{ref1} と V_{ref2} とが一致しないが、電源電圧VDDQが2種類、基準電圧 V_{ref} が2種類であるため、電源の種類としては比較的少なく済む。

【0288】

このように、電源電圧VDDQに接続されたVTT終端を持つOpen drainドライバを用い、伝送線路の特性インピーダンスZ0に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧VDDQは2種類、基準電圧 V_{ref} は2種類で済む。さらに、基準電圧 $V_{ref2} = 0.9V$ は、0.6V1あるいは(3/4)V2であるので基準電圧 V_{ref2} の生成が容易である。

【0289】

一方、基準電圧 $V_{ref1} = 1.125V$ であるが、基準電圧 V_{ref1} を容易に生成したい場合は、ドライバを構成するnMOSトランジスタ85のオン抵抗を20Ωにすればよい。その場合、 $V_{OH1} = 1.5V$ 、 $V_{OL1} = 0.5V$ となり、基準電圧 $V_{ref1} = (2/3)V1$ となるため、基準電圧 V_{ref1} の生成が容易になる。また、基準電圧 V_{ref1} を基準電圧 $V_{ref2} = 0.9V$ に一致させる場合は、ドライバを構成するnMOSトランジスタ85のオン抵抗を10Ωにすればよい。その場合、 $V_{OH1} = 1.5V$ 、 $V_{OL1} = 0.3V$

となり、基準電圧 $V_{ref1} = 0.9V$ となる。この値は、上記 $0.6V_1$ あるいは $(3/4)V_2$ であるため、容易に生成できる。よって、システムコストを低減できる。また、ドライバは、ハイインピーダンス時に双方向バスにおける電力の消費がない。また、各ドライバの nMOS トランジスタのドレインソース間に十分な電位が印加され、nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。さらに、基準電圧 V_{ref} の値が大きいため、レシーバの設計が容易になる。

【0290】

図 27 は本発明の信号伝送システムの第 15 実施例の構成を示す回路図である。図 27 は $1.5V$ 系の LSI 90 と $1.2V$ 系の LSI 91 間で信号伝送を行う回路例である。図 27 (a) は $1.5V$ 系の LSI 90 から $1.2V$ 系の LSI 91 へ信号を送信する場合の等価回路を示し、図 27 (b) は $1.2V$ 系の LSI 91 から $1.5V$ 系の LSI 90 へ信号を送信する場合の等価回路を示している。

【0291】

また、図 27 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 94、96 の値に含めて記載している。

【0292】

また、信号を送信する Driver は Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 92 の特性インピーダンス Z_0 は 40Ω である。信号を受信する Receiver は VTT 終端されている。なお、 $1.5V$ 系の LSI 90 側の駆動に対応する VTT には、受信側の $1.2V$ 系の LSI 91 の電源電圧 V_{DDQ} である $1.2V$ が供給される。また、 $1.2V$ 系の LSI 91 側の駆動に対応する VTT には、受信側の $1.5V$ 系の LSI 90 の電源電圧 V_{DDQ} である $1.5V$ が供給される。

【0293】

第 15 実施例の信号伝送システムでは、 $1.5V$ 系の LSI 90 から信号を送

信する場合、ドライバを構成する pMOS トランジスタ 93a のオン抵抗及び nMOS トランジスタ 93b のオン抵抗の値を双方向バス 92 の特性インピーダンスと同じ $40\ \Omega$ に設定する。したがって、ドライバのオン抵抗が双方向バス 92 とインピーダンス整合される。

【0294】

また、信号受信側の VTT 終端を形成する抵抗器 94 の値を、双方向バス 92 の特性インピーダンス以上の値、例えば $2Z0 = 80\ \Omega$ に設定する。このようにすると、 $VOH2 = 1.40\text{ V}$ 、 $VOL2 = 0.40\text{ V}$ となり、基準電圧 $V_{ref2} = 0.9\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.50 V となるため、信号振幅値を十分に確保することができる。

【0295】

なお、抵抗器 94 の値は $60\ \Omega$ 等に設定することもできるが、基準電圧 V_{ref2} の生成を容易にするため、抵抗器 94 の値は $2Z0$ ($80\ \Omega$) に設定するのが好ましい。このとき、基準電圧 V_{ref2} は $(V1 + V2) / 3$ で得られる。

【0296】

一方、1.2V 系の LSI 91 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 95a のオン抵抗及び nMOS トランジスタ 95b のオン抵抗の値を双方向バス 92 の特性インピーダンスと同じ $40\ \Omega$ に設定する。したがって、ドライバのオン抵抗が双方向バス 92 とインピーダンス整合される。

【0297】

また、信号受信側の VTT 終端を形成する抵抗器 96 の値を、双方向バス 92 の特性インピーダンス以上の値、例えば $2Z0 = 80\ \Omega$ に設定する。このようにすると、 $VOH1 = 1.30\text{ V}$ 、 $VOL1 = 0.50\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.9\text{ V}$ となり、基準電圧 V_{ref2} に一致する。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0298】

なお、抵抗器 96 の値は $69.1\ \Omega$ 等に設定することもできるが、基準電圧 V_{ref1} の生成を容易にするため、抵抗器 96 の値は $2Z0$ ($80\ \Omega$) に設定す

るのが好ましい。このとき、基準電圧 V_{ref1} は $(V_1 + V_2) / 3$ で得られる。

【0299】

また、双方向バス 92 上を流れる信号のリターン電流の経路(Reference)を、1.5V系のLSI90と1.2V系のLSI91とに共通な接地電位(GND)にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} をReferenceとする場合、1.5V電源と1.2V電源とをそれぞれReferenceとして用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 92 を流れる信号のリターン電流の経路(Reference)は接地電位(GND)であることが好ましい。

【0300】

このように、電源電圧 V_{DDQ} に接続されたVTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、本実施例では基準電圧 $V_{ref} = (V_1 + V_2) / 3$ となるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。また、ドライバは、ハイインピーダンス時に双方向バスにおける電力の消費がない。なお、本実施例では基準電圧 V_{ref} の値が電源電圧 V_{DDQ} の $1/2$ の値から少しずれているが、大きな問題ではなく、入力回路の設計が容易になる。

【0301】

図28は本発明の信号伝送システムの第16実施例の構成を示す回路図である。図28は1.5V系のLSI90と1.2V系のLSI91間で信号伝送を行う回路例である。図28(a)は1.5V系のLSI90から1.2V系のLSI91へ信号を送信する場合の等価回路を示し、図28(b)は1.2V系のLSI91から1.5V系のLSI90へ信号を送信する場合の等価回路を示している。

【0302】

また、図 2 8 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 9 4、9 6 の値に含めて記載している。

【0 3 0 3】

また、信号を送信する Driver は Push-pull 接続された p MOS トランジスタ及び n MOS トランジスタで構成され、伝送線路である双方向バス 9 2 の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信する Receiver は VTT 終端されている。なお、1.5 V 系の LSI 9 0 側の駆動に対応する VTT には、受信側の 1.2 V 系の LSI 9 1 の電源電圧 V_{DDQ} である 1.2 V が供給される。また、1.2 V 系の LSI 9 1 側の駆動に対応する VTT には、受信側の 1.5 V 系の LSI 9 0 の電源電圧 V_{DDQ} である 1.5 V が供給される。

【0 3 0 4】

第 1 6 実施例の信号伝送システムでは、1.5 V 系の LSI 9 0 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 9 4 の値を、双方向バス 9 2 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 9 2 とインピーダンス整合される。

【0 3 0 5】

また、ドライバを構成する p MOS トランジスタ 9 3 a のオン抵抗及び n MOS トランジスタ 9 3 b のオン抵抗の値を双方向バス 9 2 の特性インピーダンス Z_0 の $1/2$ である $20\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.40\text{ V}$ 、 $V_{OL2} = 0.40\text{ V}$ となり、基準電圧 $V_{ref2} = 0.9\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.50 V となるため、信号振幅値を十分に確保することができる。このとき、基準電圧 V_{ref2} は $(V_1 + V_2) / 3$ で得られる。

【0 3 0 6】

一方、1.2 V 系の LSI 9 1 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 9 6 の値を、双方向バス 9 2 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 9 2 とインピーダン

ス整合される。

【0307】

また、ドライバを構成する pMOS トランジスタ 95a のオン抵抗及び nMOS トランジスタ 95b のオン抵抗の値を双方向バス 92 の特性インピーダンス Z_0 の $1/2$ である 20Ω に設定する。このようにすると、 $V_{OH1} = 1.30V$ 、 $V_{OL1} = 0.50V$ となる。また、基準電圧 $V_{ref1} = 0.9V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.40V$ となるため、信号振幅値を十分に確保することができる。このとき、基準電圧 V_{ref1} は $(V_1 + V_2) / 3$ で得られる。

【0308】

このように、電源電圧 V_{DDQ} に接続された VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrity よく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、本実施例では基準電圧 $V_{ref} = (V_1 + V_2) / 3$ となるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。また、ドライバは、ハイインピーダンス時に双方向バスにおける電力の消費がない。なお、本実施例では基準電圧 V_{ref} の値が電源電圧 V_{DDQ} の $1/2$ の値から少しずれているが、大きな問題とはならない。

【0309】

図 29 に図 28 に示した第 16 実施例の信号伝送システムを一般化した回路を示す。

【0310】

図 29 (a) は電源電圧 $V_{DDQ} = V_1$ 系の LSI 90 から電源電圧 $V_{DDQ} = V_2$ 系の LSI 91 へ信号を送信する場合の等価回路を示し、図 29 (b) は V_2 系の LSI 91 から V_1 系の LSI 90 へ信号を送信する場合の等価回路を示している。

【0311】

なお、図 29 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシー

バ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0 3 1 2】

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス92の特性インピーダンスはZ0である。信号を受信するReceiverはVT T終端されている。なお、V1系のLSI90側の駆動に対応するVT Tには、受信側のLSI91の電源電圧VDDQであるV2が供給される。また、V2系のLSI91側の駆動に対応するVT Tには、受信側のLSI90の電源電圧VDDQであるV1が供給される。

【0 3 1 3】

まず、V1系のLSI90から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器94の値を、双方向バス92の特性インピーダンスの値と同じZ0に設定する。したがって、終端抵抗が双方向バス92とインピーダンス整合される。

【0 3 1 4】

また、ドライバを構成するpMOSトランジスタ93aのオン抵抗及びnMOSトランジスタ93bのオン抵抗の値を双方向バス92の特性インピーダンスZ0の1/2に設定する。このようにすると、

$$VOH2=(2V1+V2)/3$$

$$VOL2=V2/3$$

となり、

$$Vref2=(V1+V2)/3$$

となる。

【0 3 1 5】

一方、V2系のLSI91から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器96の値を、双方向バス92の特性インピーダンスの値と同じZ0に設定する。したがって、終端抵抗が双方向バス92とインピーダンス整合

される。

【0316】

また、ドライバを構成する pMOS トランジスタ 95a のオン抵抗及び nMOS トランジスタ 95b のオン抵抗の値を双方向バス 92 の特性インピーダンス Z_0 の $1/2$ に設定する。このようにすると、

$$VOH1 = (V1 + 2V2) / 3$$

$$VOL1 = V1 / 3$$

となり、

$$Vref1 = (V1 + V2) / 3$$

となり、 $Vref2$ と一致する。

【0317】

このように、電源電圧 V_{DDQ} に接続された VTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 1 種類で済む。さらに、本実施例では基準電圧 $V_{ref} = (V1 + V2) / 3$ となるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを低減できる。また、ドライバは、ハイインピーダンス時に双方向バスにおける電力の消費がない。なお、本実施例では基準電圧 V_{ref} の値が電源電圧 V_{DDQ} の $1/2$ の値から少しずれているが、大きな問題とはならない。

【0318】

図 30 は図 29 に示した信号伝送システムで用いる基準電圧を発生する回路の一構成例を示す回路図である。

【0319】

図 30 に示す回路は、基準電圧 V_{ref} として、 $V_{ref} = (V1 + V2) / 3$ を生成する回路であり、図 30 (a) は値が R と $2R$ の抵抗器をそれぞれ 2 つずつ用いて基準電圧 V_{ref} を発生させる例、図 30 (b) は値が R の 4 つの抵抗器と値が $2R$ の 2 つの抵抗器とを用いて基準電圧 V_{ref} を発生させる例である。各抵抗器の値 R は、その値のバラツキ傾向によって使い分けることが可能で

ある。このような簡単な構成で基準電圧 V_{ref} の値を発生することができる。

【0320】

(第5の実施の形態)

図31は本発明の信号伝送システムの第5の実施の形態の構成を示すブロック図である。

【0321】

図31に示すように、第5の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)100と1.2V系の半導体集積回路装置(LSI)101とが伝送線路である双方向バス104で直接接続され、さらに、1.2V系の半導体集積回路装置(LSI)101と1.2V系の半導体集積回路装置(LSI)102とが伝送線路である双方向バス105で直接接続された構成である。1.5V系のLSI100と1.2V系のLSI101とは、例えばDIMM103に搭載される。

【0322】

LSI100、LSI101、及びLSI102は、それぞれ不図示のドライバ、レシーバ、終端抵抗、及び終端抵抗をオンオフするためのスイッチを備えている。

【0323】

本実施形態の信号伝送システムでは、各LSIに供給する基準電圧 V_{refA} の値は同一であり、その値を0.6V1等に設定することで基準電圧 V_{refA} の生成を容易にしている。このようにすることで、システム全体として電源電圧 V_{DQ} が2種類、基準電圧 V_{refA} が1種類になるため、システムコストを低減できる。本実施形態では、DIMM103へ供給する電源電圧 V_{DDQ} が2種類になるが、DIMMの電力やシステムの電力を低減できる。また、各LSIは共通のPCB上に搭載されていてもよい。

【0324】

次に、第5の実施の形態の信号伝送システムを実現するための実施例について説明する。

【0325】

図32は、図31に示した第5の実施の形態を実現する、信号伝送システムの第17実施例の構成を示す回路図である。図32は、図31に示した基準電圧 $V_{refA} = 0.9V$ に設定する例を示している。また、図32は1.5V系のLSI100と1.2V系のLSI101間で信号伝送を行う回路例である。図32(a)は1.5V系のLSI100から1.2V系のLSI101へ信号を送信する場合の等価回路を示し、図32(b)は1.2V系のLSI101から1.5V系のLSI100へ信号を送信する場合の等価回路を示している。

【0326】

また、図32では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器107、109の値に含めて記載している。

【0327】

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain回路であり、伝送線路である双方向バス104の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。なお、1.5V系のLSI100側の駆動に対応するVTTには、受信側の1.2V系のLSI101の電源電圧 V_{DDQ} である1.2Vが供給される。また、1.2V系のLSI101側の駆動に対応するVTTには、受信側の1.5V系のLSI100の電源電圧 V_{DDQ} である1.5Vが供給される。

【0328】

第17実施例の信号伝送システムでは、1.5V系のLSI100から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器107の値を双方向バス104の特性インピーダンスの値と同じ 40Ω に設定する。したがって、終端抵抗が双方向バス104とインピーダンス整合される。

【0329】

また、ドライバを構成するnMOSトランジスタ106のオン抵抗を双方向バス104の特性インピーダンスの値と同じ 40Ω に設定する。このようにすると、 $V_{OH2} = 1.20V$ 、 $V_{OL2} = 0.60V$ となり、基準電圧 $V_{ref2} =$

0.90Vとなる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は0.30Vとなるため、信号振幅値を十分に確保することができる。また、基準電圧 V_{ref2} は $3/4(V_2)$ で得られる。

【0330】

一方、1.2V系のLSI101から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器109の値を双方向バス104の特性インピーダンスの値と同じ40Ωに設定する。したがって、終端抵抗が双方向バス104とインピーダンス整合される。

【0331】

また、ドライバを構成するnMOSトランジスタ108のオン抵抗を、例えば10Ωに設定する。このようにすると、 $V_{OH1}=1.50V$ 、 $V_{OL1}=0.30V$ となる。また、基準電圧 $V_{ref1}=0.90V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は0.60Vとなるため、信号振幅値を十分に確保することができる。

【0332】

また、双方向バス104上を流れる信号のリターン電流の経路(Reference)を、1.5V系のLSI100と1.2V系のLSI101とに共通な接地電位(GND)にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} をReferenceとする場合、1.5V電源と1.2V電源とをそれぞれReferenceとして用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス104を流れる信号のリターン電流の経路(Reference)は接地電位(GND)であることが好ましい。

【0333】

このように、電源電圧 V_{DDQ} に接続されたVT T終端を持つOpen drainドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 $V_{ref}=0.9V=0.75V_2$ になるように設定するので基準電圧 V_{ref} の生成が容易である。すなわち、システムコストを

低減できる。

【0334】

また、基準電圧 V_{ref} の値を電源電圧 V_{DDQ} の $1/2$ の値よりも高く設定するため、各ドライバの nMOS トランジスタのドレインソース間に十分な電位が印加され、nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。さらに、基準電圧 V_{ref} の値が大きいため、レシーバの設計が容易になる。

【0335】

図33は、図31に示した第5の実施の形態を実現する、信号伝送システムの第18実施例の構成を示す回路図である。図33は、図31に示した基準電圧 $V_{refA} = 0.9V$ に設定する例を示している。また、図33は1.2V系のLSI101と1.2V系のLSI102間で信号伝送を行う回路例である。図33(a)は1.2V系のLSI101から1.2V系のLSI102へ信号を送信する場合の等価回路を示し、図33(b)は1.2V系のLSI102から1.2V系のLSI101へ信号を送信する場合の等価回路を示している。

【0336】

また、図33では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器111、113の値に含めて記載している。

【0337】

また、信号を送信するDriverはnMOS トランジスタで構成されたOpen drain 回路であり、伝送線路である双方向バス105の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはVTT終端されている。なお、終端電圧 V_{TT} は共に1.2Vである。

【0338】

第18実施例の信号伝送システムでは、1.2V系のLSI101から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器111の値を双方向バス105の特性インピーダンスの値と同じ 40Ω に設定する。したがって、終端

抵抗が双方向バス 105 とインピーダンス整合される。

【0339】

また、ドライバを構成する nMOS トランジスタ 110 のオン抵抗を双方向バス 105 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.20\text{ V}$ 、 $V_{OL2} = 0.60\text{ V}$ となり、基準電圧 $V_{ref2} = 0.90\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.30 V となるため、信号振幅値を十分に確保することができる。また、基準電圧 V_{ref2} は $3V_2/4$ で得られる。

【0340】

一方、 1.2 V 系の LSI 102 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 113 の値を双方向バス 105 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗が双方向バス 105 とインピーダンス整合される。

【0341】

また、ドライバを構成する nMOS トランジスタ 112 のオン抵抗を双方向バス 105 の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.20\text{ V}$ 、 $V_{OL1} = 0.60\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.90\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.30 V となるため、信号振幅値を十分に確保することができる。また、基準電圧 V_{ref2} は $3V_2/4$ で得られる。

【0342】

このように、電源電圧 V_{DDQ} に接続された VTT 終端を持つ open drain ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。図 32 及び図 33 に示すような回路構成によって、1 種類の基準電圧 $V_{refA} = 0.9\text{ V}$ を持つ図 31 に示す信号伝送システムを実現できる。

【0343】

図34は、図31に示した第5の実施の形態を実現する、信号伝送システムの第19実施例の構成を示す回路図である。図34は、図31に示した基準電圧 $V_{refA} = 0.6V$ に設定する例を示している。また、図34は1.5V系のLSI100と1.2V系のLSI101間で信号伝送を行う回路例である。図34(a)は1.5V系のLSI100から1.2V系のLSI101へ信号を送信する場合の等価回路を示し、図34(b)は1.2V系のLSI101から1.5V系のLSI100へ信号を送信する場合の等価回路を示している。

【0344】

また、図34では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器115a、115b、117a、117bの値に含めて記載している。

【0345】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス104の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0346】

第19実施例の信号伝送システムでは、1.5V系のLSI100から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器115a及び115bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器115aと115bの並列値に等しく、 40Ω になるため、双方向バス104とインピーダンスが整合される。

【0347】

また、ドライバを構成するpMOSトランジスタ114aのオン抵抗を双方向バス104の特性インピーダンス以下の値、例えば 40Ω に設定し、nMOSトランジスタ114bのオン抵抗を 13.33Ω に設定する。このようにすると、 $V_{OH2} = 1.05V$ 、 $V_{OL2} = 0.15V$ となり、基準電圧 $V_{ref2} = 0.60V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は0.4

5 Vとなるため、信号振幅値を十分に確保することができる。

【0348】

一方、1.2 V系のLSI101から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器117a及び117bの値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器117aと117bの並列値に等しく、 $40\ \Omega$ になるため、双方向バス104とインピーダンスが整合される。

【0349】

また、ドライバを構成するpMOSトランジスタ116aのオン抵抗を双方向バス104の特性インピーダンス以下の値、例えば $40\ \Omega$ に設定し、nMOSトランジスタ116bのオン抵抗を $17.14\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 0.975\text{ V}$ 、 $V_{OL1} = 0.225\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.60\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0350】

また、双方向バス104上を流れる信号のリターン電流の経路(Reference)を、1.5 V系のLSI100と1.2 V系のLSI101とに共通な接地電位(GND)にすることは他の例と同様である。

【0351】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は1種類で済む。さらに、基準電圧 V_{ref} が $0.5V_2$ となるように設定するため、基準電圧 V_{ref} を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 V_{ref} の値が、電源電圧 V_{DDQ} の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0352】

図35は、図31に示した第5の実施の形態を実現する、信号伝送システムの第20実施例の構成を示す回路図である。図35は、図31に示した基準電圧 $V_{refA} = 0.6V$ に設定する例を示している。また、図35は1.2V系のLSI101と1.2V系のLSI102間で信号伝送を行う回路例である。なお、図35(a)は1.2V系のLSI101から1.2V系のLSI102へ信号を送信する場合の等価回路を示し、図35(b)は1.2V系のLSI102から1.2V系のLSI101へ信号を送信する場合の等価回路を示している。

【0353】

また、図35では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器119a、119b、121a、121bの値に含めて記載している。

【0354】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス105の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0355】

第20実施例の信号伝送システムでは、1.2V系のLSI101から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器119a及び119bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器119aと119bの並列値に等しく、 40Ω になるため、双方向バス105とインピーダンスが整合される。

【0356】

また、ドライバを構成するpMOSトランジスタ118aのオン抵抗及びnMOSトランジスタ118bのオン抵抗を、それぞれ双方向バス105の特性インピーダンス以下の値、例えば 20Ω に設定する。このようにすると、 $V_{OH2} = 1.00V$ 、 $V_{OL2} = 0.20V$ となり、基準電圧 $V_{ref2} = 0.60V$ と

なる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0357】

一方、 1.2 V 系のLSI102から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器121a及び121bの値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器121aと121bの並列値に等しく、 $40\ \Omega$ になるため、双方向バス105とインピーダンスが整合される。

【0358】

また、ドライバを構成するpMOSトランジスタ120aのオン抵抗及びnMOSトランジスタ120bのオン抵抗を、それぞれ双方向バス105の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.00\text{ V}$ 、 $V_{OL1} = 0.20\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.60\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.40 V となるため、信号振幅値を十分に確保することができる。

【0359】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。

【0360】

図34及び図35に示すような回路構成によって、1種類の基準電圧 $V_{refA} = 0.6\text{ V}$ を持つ図31に示す信号伝送システムを実現できる。

【0361】

図36は、図31に示した第5の実施の形態を実現する、信号伝送システムの第21実施例の構成を示す回路図である。図36は、図31に示した基準電圧 $V_{refA} = 0.675\text{ V}$ に設定する例を示している。また、図36は 1.2 V 系のLSI101と 1.2 V 系のLSI102間で信号伝送を行う回路例である。 1.5 V 系のLSI100と 1.2 V 系のLSI101の間の信号伝送は、例えば、図2、図5、図7に示した各実施例の構成にすればよい。図36(a)は1

、2 V系のLSI 1 0 1から1. 2 V系のLSI 1 0 2へ信号を送信する場合の等価回路を示し、図3 6 (b)は1. 2 V系のLSI 1 0 2から1. 2 V系のLSI 1 0 1へ信号を送信する場合の等価回路を示している。

【0 3 6 2】

また、図3 6では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器1 1 9 a、1 1 9 b、1 2 1 a、1 2 1 bの値に含めて記載している。

【0 3 6 3】

また、信号を送信するDriverはPush-pull接続されたp MOSトランジスタ及びn MOSトランジスタで構成され、伝送線路である双方向バス1 0 5の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信するReceiverはCTT終端されている。

【0 3 6 4】

第2 1実施例の信号伝送システムでは、1. 2 V系のLSI 1 0 1から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器1 1 9 a及び1 1 9 bの値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器1 1 9 aと1 1 9 bの並列値に等しく、 $40\ \Omega$ になるため、双方向バス1 0 5とインピーダンスが整合される。

【0 3 6 5】

また、ドライバを構成するn MOSトランジスタ1 1 8 bのオン抵抗を双方向バス1 0 5の特性インピーダンス以下の値、例えば $40\ \Omega$ に設定し、p MOSトランジスタ1 1 8 aのオン抵抗を $13.33\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.05\text{ V}$ 、 $V_{OL2} = 0.30\text{ V}$ となり、基準電圧 $V_{ref2} = 0.675\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0 3 6 6】

一方、1. 2 V系のLSI 1 0 2から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器1 2 1 a及び1 2 1 bの値を $2Z_0 = 80\ \Omega$ に設定する

。終端抵抗の値は抵抗器 119a と 119b の並列値に等しく、 40Ω になるため、双方向バス 105 とインピーダンスが整合される。

【0367】

また、ドライバを構成する nMOS トランジスタ 120b のオン抵抗を双方向バス 105 の特性インピーダンス以下の値、例えば 40Ω に設定し、pMOS トランジスタ 120a のオン抵抗を 13.33Ω に設定する。このようにすると、 $V_{OH1} = 1.05V$ 、 $V_{OL1} = 0.30V$ となる。また、基準電圧 $V_{ref1} = 0.675V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.375V$ となるため、信号振幅値を十分に確保することができる。

【0368】

このように、C/T 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。

【0369】

また、図 2 や図 36 に示すような回路構成によって、1 種類の基準電圧 $V_{refA} = 0.675V$ を持つ図 31 に示す信号伝送システムを実現できる。

【0370】

(第 6 の実施の形態)

図 37 は本発明の信号伝送システムの第 6 の実施の形態の構成を示すブロック図である。

【0371】

図 37 に示すように、第 6 の実施の形態の信号伝送システムは、1.5V 系の半導体集積回路装置 (LSI) 130 と 1.5V 系の半導体集積回路装置 (LSI) 131 とが伝送線路である双方向バス 133 で直接接続され、さらに、1.5V 系の半導体集積回路装置 (LSI) 131 と 1.2V 系の半導体集積回路装置 (LSI) 132 とが伝送線路である双方向バス 134 で直接接続された構成である。1.5V 系の LSI 130 と 1.5V 系の LSI 131 とは、例えば DIMM 125 に搭載される。

【0372】

LSI130、LSI131、及びLSI132は、それぞれ不図示のドライバ、レシーバ、終端抵抗、及び終端抵抗をオンオフするためのスイッチを備えている。

【0373】

本実施形態の信号伝送システムでは、各LSIに供給する基準電圧 V_{refA} 、 V_{refB} の値は同一が望ましい。また、それらの値を0.6V1等に設定することで基準電圧 V_{refA} の生成を容易にしている。このようにすることで、システム全体として電源電圧 V_{DQ} が2種類、基準電圧 V_{refA} が1種類になるため、システムコストを低減できる。本実施形態では、DIMM125へ供給する電源電圧 V_{DDQ} も1種類となり、DIMM基板の層数を低減できるため、コストを低減できる。また、各LSIは共通のPCB上に搭載されていてもよい。

【0374】

次に、第6の実施の形態の信号伝送システムを実現するための実施例について説明する。

【0375】

図38は、図37に示した第6の実施の形態を実現する、信号伝送システムの第22実施例の構成を示す回路図である。図38は、図37に示した基準電圧 $V_{refA}=V_{refB}=0.9V$ に設定する例を示している。また、図38は1.5V系のLSI130と1.5V系のLSI131間で信号伝送を行う回路例である。図38(a)は1.5V系のLSI130から1.5V系のLSI131へ信号を送信する場合の等価回路を示し、図38(b)は1.5V系のLSI131から1.5V系のLSI130へ信号を送信する場合の等価回路を示している。

【0376】

また、図38では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器136a、136b、138a、1

38b、の値に含めて記載している。

【0377】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス133の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。なお、Driverは、Push-pull構成に代えてOpen drainで構成してもよい。

【0378】

第22実施例の信号伝送システムでは、1.5V系のLSI130から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器136a及び136bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器136aと136bの並列値に等しく、 40Ω になるため、双方向バス133とインピーダンスが整合される。

【0379】

また、ドライバを構成するpMOSトランジスタ135aのオン抵抗の値を、例えば 4.44Ω に設定し、nMOSトランジスタ135bのオン抵抗の値を 40Ω に設定する。このようにすると、 $V_{OH2} = 1.425V$ 、 $V_{OL2} = 0.375V$ となり、基準電圧 $V_{ref2} = 0.90V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.525V$ となるため、信号振幅値を十分に確保することができる。

【0380】

一方、1.5V系のLSI131から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器138a及び138bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器138aと138bの並列値に等しく、 40Ω になるため、双方向バス133とインピーダンスが整合される。

【0381】

また、ドライバを構成するpMOSトランジスタ137aのオン抵抗の値を、例えば 4.44Ω に設定し、nMOSトランジスタ137bのオン抵抗の値を 40Ω に設定する。このようにすると、 $V_{OH1} = 1.425V$ 、 $V_{OL1} = 0.375V$ となる。また、基準電圧 $V_{ref1} = 0.90V$ となり、基準電圧 V_r

e f 2 の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.525V$ となるため、信号振幅値を十分に確保することができる。

【0382】

このように、C T T 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。

【0383】

なお、 $1.5V$ 系の L S I 131 と $1.2V$ 系の L S I 132 間の信号伝送は、例えば、図 32 に示した実施例の構成にすればよい。

【0384】

したがって、図 38 や図 32 に示すような回路構成によって、1 種類の基準電圧 $V_{refA} = V_{refB} = 0.9V$ を持つ図 37 に示す信号伝送システムを実現できる。

【0385】

図 39 は、図 37 に示した第 6 の実施の形態を実現する、信号伝送システムの第 23 実施例の構成を示す回路図である。図 39 は、図 37 に示した基準電圧 $V_{refA} = V_{refB} = 0.75V$ に設定する例を示している。また、図 39 は $1.5V$ 系の L S I 131 と $1.2V$ 系の L S I 132 間で信号伝送を行う回路例である。図 39 (a) は $1.5V$ 系の L S I 131 から $1.2V$ 系の L S I 132 へ信号を送信する場合の等価回路を示し、図 39 (b) は $1.2V$ 系の L S I 132 から $1.5V$ 系の L S I 131 へ信号を送信する場合の等価回路を示している。

【0386】

また、図 39 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 140 a、140 b、142 a、142 b の値に含めて記載している。

【0387】

また、信号を送信する Driver は Push-pull 接続された p M O S トランジスタ及

び nMOS トランジスタで構成され、伝送線路である双方向バス 134 の特性インピーダンス Z_0 は $40\ \Omega$ である。信号を受信する Receiver は CTT 終端されている。

【0388】

第 23 実施例の信号伝送システムでは、1.5 V 系の LSI 131 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 140 a 及び 140 b の値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器 140 a と 140 b の並列値に等しく、 $40\ \Omega$ になるため、双方向バス 134 とインピーダンスが整合される。

【0389】

また、ドライバを構成する pMOS トランジスタ 139 a のオン抵抗の値を、例えば $20\ \Omega$ に設定し、nMOS トランジスタ 139 b のオン抵抗の値を $40\ \Omega$ に設定する。このようにすると、 $V_{OH2} = 1.20\text{ V}$ 、 $V_{OL2} = 0.30\text{ V}$ となり、基準電圧 $V_{ref2} = 0.75\text{ V}$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は 0.45 V となるため、信号振幅値を十分に確保することができる。

【0390】

一方、1.2 V 系の LSI 132 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 142 a 及び 142 b の値を $2Z_0 = 80\ \Omega$ に設定する。終端抵抗の値は抵抗器 142 a と 142 b の並列値に等しく、 $40\ \Omega$ になるため、双方向バス 134 とインピーダンスが整合される。

【0391】

また、ドライバを構成する pMOS トランジスタ 141 a のオン抵抗の値を、例えば $8\ \Omega$ に設定し、nMOS トランジスタ 141 b のオン抵抗の値を $40\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 1.125\text{ V}$ 、 $V_{OL1} = 0.375\text{ V}$ となる。また、基準電圧 $V_{ref1} = 0.75\text{ V}$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0392】

このように、C T T 終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。

【0393】

なお、1.5V系のLSI130と1.5V系のLSI131間の信号伝送は、例えば、図35に示した実施例の構成にすればよい。但し、電源電圧 V_{DDQ} は、それぞれ1.5Vである。

【0394】

したがって、図35に示した実施例に電源電圧 V_{DDQ} として1.5Vを供給する回路構成と図39に示す回路構成によって、1種類の基準電圧 $V_{refA} = V_{refB} = 0.75V$ を持つ図37に示す信号伝送システムを実現できる。

【0395】

図40は、図37に示した第6の実施の形態を実現する、信号伝送システムの第24実施例の構成を示す回路図である。図40は、図37に示した基準電圧 $V_{refA} = V_{refB} = 0.675V$ に設定する例を示している。また、図40は1.5V系のLSI130と1.5V系のLSI131間で信号伝送を行う回路例である。図40(a)は1.5V系のLSI130から1.5V系のLSI131へ信号を送信する場合の等価回路を示し、図40(b)は1.5V系のLSI131から1.5V系のLSI130へ信号を送信する場合の等価回路を示している。

【0396】

また、図40では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器136a、136b、139a、139bの値に含めて記載している。

【0397】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス133の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはC T T 終端されて

いる。

【0398】

第24実施例の信号伝送システムでは、1.5V系のLSI130から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器136a及び136bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器136aと136bの並列値に等しく、 40Ω になるため、双方向バス133とインピーダンスが整合される。

【0399】

また、ドライバを構成するpMOSトランジスタ135aのオン抵抗の値を、例えば 40Ω に設定し、nMOSトランジスタ135bのオン抵抗の値を 17.14Ω に設定する。このようにすると、 $V_{OH2} = 1.125V$ 、 $V_{OL2} = 0.225V$ となり、基準電圧 $V_{ref2} = 0.675V$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.45V$ となるため、信号振幅値を十分に確保することができる。

【0400】

一方、1.5V系のLSI131から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器138a及び138bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器136aと136bの並列値に等しく、 40Ω になるため、双方向バス133とインピーダンスが整合される。

【0401】

また、ドライバを構成するpMOSトランジスタ137aのオン抵抗の値を、例えば 40Ω に設定し、nMOSトランジスタ137bのオン抵抗の値を 17.14Ω に設定する。このようにすると、 $V_{OH1} = 1.125V$ 、 $V_{OL1} = 0.225V$ となる。また、基準電圧 $V_{ref1} = 0.675V$ となり、基準電圧 V_{ref2} の値に一致する。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.45V$ となるため、信号振幅値を十分に確保することができる。

【0402】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記

のように設定することで、Signal integrityよく信号を伝送できる。

【0403】

なお、1.5V系のLSI131と1.2V系のLSI132間の信号伝送は、例えば、図2、図5、図7に示した各実施例の構成にすればよい。

【0404】

したがって、図40と図2、図5、図7に示す回路構成によって、1種類の基準電圧 $V_{ref.A} = V_{ref.B} = 0.675V$ を持つ図37に示す信号伝送システムを実現できる。

【0405】

図41は、図37に示した第6の実施の形態を実現する、信号伝送システムの第25実施例の構成を示す回路図である。図41は基準電圧 $V_{ref.B}$ が不要な例であり、1.5V系のLSI131と1.2V系のLSI132間で信号伝送を行う回路例である。図41(a)は1.5V系のLSI131から1.2V系のLSI132へ信号を送信する場合の等価回路を示し、図41(b)は1.2V系のLSI132から1.5V系のLSI131へ信号を送信する場合の等価回路を示している。

【0406】

また、図41では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器163、174の値に含めて記載している。

【0407】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス162、163の特性インピーダンス、ここではODD mode時のインピーダンス Z_{odd} は 40Ω である。信号を受信するReceiverは、True信号とBar信号間を $2Z_{odd}$ の値の抵抗器で接続したBridge終端を備えている。この抵抗器は信号を送信する時に不図示のスイッチをOFFさせることで双方向バス162、163から切り離され、ドライバからみて抵抗値が無限大になる。

【0 4 0 8】

第 2 5 実施例の信号伝送システムでは、1. 5 V 系の L S I 1 3 1 から信号を送信する場合、信号受信側の Bridge 終端を形成する抵抗器 1 6 4 の値を $2 Z_{odd} = 80 \Omega$ に設定する。したがって、終端抵抗が双方向バス 1 6 2、1 6 3 とインピーダンス整合される。

【0 4 0 9】

また、ドライバを構成する p M O S トランジスタ 1 6 0 a、1 6 1 a のオン抵抗、及び n M O S トランジスタ 1 6 0 b、1 6 1 b のオン抵抗の値を、それぞれ 40Ω に設定する。このようにすると、 $V_{OH2} = 1.125 V$ 、 $V_{OL2} = 0.375 V$ となり、差動の入力回路 (Receiver) で信号を受信することができる。したがって、基準電圧 V_{refB} が不要になる。

【0 4 1 0】

一方、1. 2 V 系の L S I 1 3 2 から信号を送信する場合、信号受信側の Bridge 終端を形成する抵抗器 1 7 4 の値を $2 Z_{odd} = 80 \Omega$ に設定する。したがって、終端抵抗が双方向バス 1 6 2、1 6 3 とインピーダンス整合される。

【0 4 1 1】

また、ドライバを構成する p M O S トランジスタ 1 7 0 a、1 7 1 a のオン抵抗、及び n M O S トランジスタ 1 7 0 b、1 7 1 b のオン抵抗の値を、それぞれ 40Ω に設定する。このようにすると、 $V_{OH1} = 0.9 V$ 、 $V_{OL2} = 0.30 V$ となり、差動の入力回路 (Receiver) で信号を受信することができる。したがって、基準電圧 V_{refB} が不要になる。

【0 4 1 2】

このように、Bridge 終端を持つ Push-pull ドライバを用いて Differential 信号を送受信し、伝送線路の特性インピーダンス Z_{odd} に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrity よく、基準電圧 V_{refB} を用いることなく信号を伝送できる。

【0 4 1 3】

Differential 信号は、Single-ended 信号に比べて信号本数が 2 倍必要であるが、リターン電流の経路としてお互いの信号経路が用いられるのでコネクタやパッ

ケースの電源ピン数を削減でき、コモンモードノイズにも強く、高速分野の信号方式として優れている。

【0414】

なお、1.5V系のLSI130と1.5V系のLSI131間の信号伝送は、例えば、図35に示した実施例の構成にすればよい。但し、電源電圧VDDQは、それぞれ1.5Vである。

【0415】

したがって、図35に示した実施例に電源電圧VDDQとして1.5Vを供給する回路構成と図41に示す回路構成によって、1種類の基準電圧VrefA=0.75Vを持つ図37に示す信号伝送システムを実現できる。

【0416】

図41に示す回路は、単に異なる電源電圧VDDQで動作する2つのLSI間で双方向に信号を伝送する回路として用いても有効である。

【0417】

図42は本発明の信号伝送システムの第26実施例の構成を示す回路図である。図42は1.5V系のLSI140と1.2V系のLSI141間で信号伝送を行う回路例である。図42(a)は1.5V系のLSI140から1.2V系のLSI141へ信号を送信する場合の等価回路を示し、図42(b)は1.2V系のLSI141から1.5V系のLSI140へ信号を送信する場合の等価回路を示している。

【0418】

また、図42では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器144a、144b、147a、147bの値に含めて記載している。

【0419】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンスZ0は40Ωである。信号を受信するReceiverはCTT終端されて

いる。

【0420】

第26実施例の信号伝送システムでは、1.5V系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を 40Ω に設定する。したがって、ドライバのオン抵抗が双方向バス142にインピーダンス整合される。

【0421】

また、信号受信側のCTT終端を形成する抵抗器144aの値を 64Ω に設定し、抵抗器144bの値を 106.7Ω に設定する。終端抵抗の値は抵抗器144aと144bの並列値に等しく、 40Ω になるため、双方向バス142とインピーダンスが整合される。このようにすると、 $V_{OH2}=1.125V$ 、 $V_{OL2}=0.375V$ となり、基準電圧 $V_{ref2}=0.75V$ となる。すなわち、基準電圧 V_{ref2} は高 V_{DDQ} 値の $1/2$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.375V$ となるため、信号振幅値を十分に確保することができる。

【0422】

一方、1.2V系のLSI141から信号を送信する場合、ドライバを構成するpMOSトランジスタ145aのオン抵抗及びnMOSトランジスタ145bのオン抵抗の値を 40Ω に設定する。したがって、ドライバのオン抵抗が双方向バス142にインピーダンス整合される。

【0423】

また、信号受信側のCTT終端を形成する抵抗器147aの値を 100Ω に設定し、抵抗器147bの値を 66.7Ω に設定する。終端抵抗の値は抵抗器147aと147bの並列値に等しく、 40Ω になるため、双方向バス142とインピーダンスが整合される。このようにすると、 $V_{OH1}=0.90V$ 、 $V_{OL1}=0.30V$ となり、基準電圧 $V_{ref1}=0.60V$ となる。すなわち、基準電圧 V_{ref1} は低 V_{DDQ} 値の $1/2$ となる。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は $0.30V$ となるため、信号振幅値を十分に確保することができる。

【0424】

また、他の例と同様に、双方向バス142上を流れる信号のリターン電流の経路(Reference)を、1.5V系のLSI140と1.2V系のLSI141とに共通な接地電位(GND)にするとプリント基板の設計が容易になる。なお、電源電圧VDDQをReferenceとする場合、1.5V電源と1.2V電源とをそれぞれReferenceとして用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス142を流れる信号のリターン電流の経路(Reference)は接地電位(GND)であることが好ましい。

【0425】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧VDDQは2種類、基準電圧Vrefは2種類で済む。本実施例では、基準電圧Vrefが2種類となるが、それぞれのドライバの電源電圧VDDQの値の1/2に設定すればよいので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に等価な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0426】

なお、本実施例と、第2実施例(図5)、第5実施例(図14)、及び第6実施例(図16)は、CTT終端され、オン抵抗が伝送線路の特性インピーダンス Z_0 に等しいPush-pull接続のドライバを有するという基本構成は同じであるので、終端抵抗の値を可変できるようにしておけば、どのタイプにも対応できる。

【0427】

第26実施例では、終端抵抗の値を伝送線路の特性インピーダンスに一致させる例を示したが、次に、終端抵抗の値が伝送線路の特性インピーダンスの1.5倍の値に一致させる例を示す。

【0428】

図43は本発明の信号伝送システムの第27実施例の構成を示す回路図である。図43は1.5V系のLSI140と1.2V系のLSI141間で信号伝送を行う回路例である。図43(a)は1.5V系のLSI140から1.2V系のLSI141へ信号を送信する場合の等価回路を示し、図43(b)は1.2V系のLSI141から1.5V系のLSI140へ信号を送信する場合の等価回路を示している。

【0429】

また、図43では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器144a、144b、147a、147bの値に含めて記載している。

【0430】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0431】

第27実施例の信号伝送システムでは、1.5V系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を 40Ω に設定する。したがって、ドライバのオン抵抗が双方向バス142にインピーダンス整合される。

【0432】

また、信号受信側のCTT終端を形成する抵抗器144aの値を 96Ω に設定し、抵抗器144bの値を 160Ω に設定する。終端抵抗の値は抵抗器144aと144bの並列値に等しく、ここでは 60Ω になるため、終端抵抗の値が双方向バス142の特性インピーダンスの1.5倍に一致する。このようにすると、 $V_{OH2} = 1.20V$ 、 $V_{OL2} = 0.30V$ となり、基準電圧 $V_{ref2} = 0.75V$ となる。すなわち、基準電圧 V_{ref2} は高 V_{DDQ} 値の $1/2$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.45V$ となるため

、信号振幅値を十分に確保することができる。

【0433】

一方、1.2V系のLSI141から信号を送信する場合、ドライバを構成するpMOSトランジスタ145aのオン抵抗及びnMOSトランジスタ145bのオン抵抗の値を40Ωに設定する。したがって、ドライバのオン抵抗が双方向バス142にインピーダンス整合される。

【0434】

また、信号受信側のCTT終端を形成する抵抗器147aの値を150Ωに設定し、抵抗器147bの値を100Ωに設定する。終端抵抗の値は抵抗器147aと147bの並列値に等しく、ここでは60Ωになるため、終端抵抗の値が双方向バス142の特性インピーダンスの1.5倍に一致する。このようにすると、 $V_{OH1} = 0.96V$ 、 $V_{OL1} = 0.24V$ となり、基準電圧 $V_{ref1} = 0.60V$ となる。すなわち、基準電圧 V_{ref1} は低 V_{DDQ} 値の1/2となる。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は0.36Vとなるため、信号振幅値を十分に確保することができる。

【0435】

このように、CTT終端を持つPush-pullドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は2種類、基準電圧 V_{ref} は2種類で済む。本実施例では、基準電圧 V_{ref} が2種類となるが、それぞれのドライバの電源電圧 V_{DDQ} の値の1/2に設定すればよいので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレイン－ソース間に等価な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0436】

なお、本実施例と、第2実施例（図5）、第5実施例（図14）、及び第6実施例（図16）は、CTT終端され、オン抵抗が伝送線路の特性インピーダンス Z_0 に等しいPush-pull接続のドライバを有するという基本構成は同じであるの

で、終端抵抗の値を可変できるようにしておけば、どのタイプにも対応できる。

【0437】

図44に図42に示した第26実施例及び図43に示した第27実施例の信号伝送システムを一般化した回路を示す。

【0438】

図44(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI140から電源電圧 $V_{DDQ}=V_2$ 系のLSI141へ信号を送信する場合の等価回路を示し、図44(b)は V_2 系のLSI141から V_1 系のLSI140へ信号を送信する場合の等価回路を示している。なお、図44では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0439】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0440】

まず、 V_1 系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を双方向バス142の特性インピーダンスに等しく Z_0 に設定する。したがって、ドライバのオン抵抗が双方向バス142にインピーダンス整合される。

【0441】

また、信号受信側のCTT終端を形成する抵抗器144aの値を $R_1\Omega$ に設定し、抵抗器144bの値を $R_2\Omega$ に設定する。終端抵抗の値は抵抗器144aと144bの並列値 $R_1 // R_2\Omega$ に等しく、この終端抵抗の値を双方向バス142の特性インピーダンスの m 倍に一致させる。

【0442】

ここで、

$$R1=2mZ0 \cdot V2/V1$$

$$R2=2mZ0 \cdot V2/(2V2-V1)$$

である。

【 0 4 4 3 】

このようにすると、

$$VOH2=(2m+1)V1/2(m+1)$$

$$VOL2=0.5V1/(m+1)$$

となり、

$$Vref2=0.5V1$$

となる。すなわち、基準電圧 V_{ref2} は高 V_{DDQ} 値の $1/2$ となる。

【 0 4 4 4 】

一方、 $V2$ 系の $LSI141$ から信号を送信する場合、ドライバを構成する $pMOS$ トランジスタ $145a$ のオン抵抗及び $nMOS$ トランジスタ $145b$ のオン抵抗の値を双方向バス 142 の特性インピーダンスに等しく $Z0$ に設定する。したがって、ドライバのオン抵抗が双方向バス 142 にインピーダンス整合される。

【 0 4 4 5 】

また、信号受信側の CTT 終端を形成する抵抗器 $147a$ の値を $R3\Omega$ に設定し、抵抗器 $147b$ の値を $R4\Omega$ に設定する。終端抵抗の値は抵抗器 $147a$ と $147b$ の並列値 $R3//R4\Omega$ に等しく、この終端抵抗の値を双方向バス 142 の特性インピーダンスの s 倍に一致させる。

【 0 4 4 6 】

ここで、

$$R3=2sZ0V1/V2$$

$$R4=2sZ0V1/(2V1-V2)$$

である。

【 0 4 4 7 】

このようにすると、

$$VOH1=(2s+1)V2/2(s+1)$$

$$VOL1=0.5V2/(s+1)$$

となり、

$$Vref1=0.5V2$$

となる。すなわち、基準電圧 V_{ref1} は低 V_{DDQ} 値の $1/2$ となる。

【0448】

このように、C T T 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 2 種類で済む。本実施例では、基準電圧 V_{ref} が 2 種類となるが、それぞれのドライバの電源電圧 V_{DDQ} の値の $1/2$ に設定すればよいので、各ドライバの p M O S トランジスタ及び n M O S トランジスタのドレインソース間に等価な電位が印加され、p M O S トランジスタ及び n M O S トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0449】

なお、本実施例と、第 2 実施例（図 5）、第 5 実施例（図 14）、及び第 6 実施例（図 16）は、C T T 終端され、オン抵抗が伝送線路の特性インピーダンス Z_0 に等しい Push-pull 接続のドライバを有するという基本構成は同じであるので、終端抵抗の値を可変できるようにしておけば、どのタイプにも対応できる。

【0450】

図 45 は本発明の信号伝送システムの第 28 実施例の構成を示す回路図である。図 45 は 1.5V 系の L S I 150 と 1.2V 系の L S I 151 間で信号伝送を行う回路例である。図 45（a）は 1.5V 系の L S I 150 から 1.2V 系の L S I 151 へ信号を送信する場合の等価回路を示し、図 45（b）は 1.2V 系の L S I 151 から 1.5V 系の L S I 150 へ信号を送信する場合の等価回路を示している。

【0451】

また、図 45 では、電位の値に寄与しない、レシーバ、O F F 状態のスイッチ

、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器154a、154b、156a、156bの値に含めて記載している。

【0452】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス152の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0453】

第28実施例の信号伝送システムでは、1.5V系のLSI150から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器154a、154bの値を $2Z_0$ に等しい 80Ω に設定する。終端抵抗の値は抵抗器154aと154bの並列値に等しく、ここでは 40Ω になるため、終端抵抗の値が双方向バス152にインピーダンス整合される。

【0454】

また、ドライバを構成するnMOSトランジスタ153bのオン抵抗の値を双方向バス152の特性インピーダンス Z_0 以下の値、例えば 40Ω に設定し、pMOSトランジスタ153aのオン抵抗の値を 20Ω に設定する。このようにすると、 $V_{OH2} = 1.20V$ 、 $V_{OL2} = 0.30V$ となり、基準電圧 $V_{ref2} = 0.75V$ となる。すなわち、基準電圧 V_{ref2} は高 V_{DDQ} 値の $1/2$ となる。この場合、基準電圧 V_{ref2} に対する信号振幅値 Δ は $0.45V$ となるため、信号振幅値を十分に確保することができる。

【0455】

一方、1.2V系のLSI151から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器156a、156bの値を $2Z_0$ に等しい 80Ω に設定する。終端抵抗の値は抵抗器156aと156bの並列値に等しく、ここでは 40Ω になるため、終端抵抗の値が双方向バス152にインピーダンス整合される。

【0456】

また、ドライバを構成する pMOS トランジスタ 155b のオン抵抗の値を双方向バス 152 の特性インピーダンス Z_0 以下の値、例えば $40\ \Omega$ に設定し、nMOS トランジスタ 155a のオン抵抗の値を $17.14\ \Omega$ に設定する。このようにすると、 $V_{OH1} = 0.975\text{ V}$ 、 $V_{OL1} = 0.225\text{ V}$ となり、基準電圧 $V_{ref1} = 0.65\text{ V}$ となる。すなわち、基準電圧 V_{ref1} は低 V_{DDQ} 値の $1/2$ となる。この場合、基準電圧 V_{ref1} に対する信号振幅値 Δ は 0.375 V となるため、信号振幅値を十分に確保することができる。

【0457】

このように、CTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を伝送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 2 種類で済む。本実施例では、基準電圧 V_{ref} が 2 種類となるが、それぞれのドライバの電源電圧 V_{DDQ} の値の $1/2$ に設定すればよいので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレイン－ソース間に等価な電位が印加され、pMOS トランジスタ及び nMOS トランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0458】

図 46 に図 45 に示した第 28 実施例の信号伝送システムを一般化した回路を示す。

【0459】

図 46 (a) は電源電圧 $V_{DDQ} = V_1$ 系の LSI 150 から電源電圧 $V_{DDQ} = V_2$ 系の LSI 151 へ信号を送信する場合の等価回路を示し、図 46 (b) は V_2 系の LSI 151 から V_1 系の LSI 150 へ信号を送信する場合の等価回路を示している。なお、図 46 では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

【0460】

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス152の特性インピーダンス Z_0 は 40Ω である。信号を受信するReceiverはCTT終端されている。

【0461】

まず、V1系のLSI150から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器154a、154bの値を $2Z_0$ に設定する。終端抵抗の値は抵抗器154aと154bの並列値に等しく、ここでは Z_0 に一致するため、終端抵抗の値が双方向バス152にインピーダンス整合される。

【0462】

また、ドライバを構成するnMOSトランジスタ153bのオン抵抗の値を双方向バス152の特性インピーダンス Z_0 以下の値、例えば Z_0 に設定し、pMOSトランジスタ153aのオン抵抗の値を $R_{on1}\Omega$ に設定する。

【0463】

ここで、

$$R_{on1} = 0.25V_2 \cdot Z_0 / (V_1 - 0.75V_2)$$

である。

【0464】

このようにすると、

$$V_{OH2} = (0.5V_2 \cdot R_{on1} + V_1 \cdot Z_0) / (R_{on1} + Z_0)$$

$$V_{OL2} = 0.25V_2$$

となり、

$$V_{ref2} = 0.5V_1$$

となる。すなわち、基準電圧 V_{ref2} は高 V_{DDQ} 値の $1/2$ となる。

一方、V2系のLSI151から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器156a、156bの値を $2Z_0$ に設定する。終端抵抗の値は抵抗器156aと156bの並列値に等しく、ここでは Z_0 に一致するため、終端抵抗の値が双方向バス152にインピーダンス整合される。

【0465】

また、ドライバを構成する pMOS トランジスタ 155b のオン抵抗の値を双方向バス 152 の特性インピーダンス Z_0 以下の値、例えば Z_0 に設定し、nMOS トランジスタ 155a のオン抵抗の値を R_{on4} Ω に設定する。

【0466】

ここで、

$$R_{on4} = Z_0(2V_2 - V_1) / (3V_1 - 2V_2)$$

である。

【0467】

このようにすると、

$$V_{OH1} = 0.25V_1 + 0.5V_2$$

$$V_{OL1} = 0.5V_1 \cdot R_{on4} / (R_{on4} + Z_0)$$

となり、

$$V_{ref1} = 0.5V_2$$

となる。すなわち、基準電圧 V_{ref1} は低 V_{DDQ} 値の $1/2$ となる。

【0468】

また、他の例と同様に、双方向バス 152 上を流れる信号のリターン電流の経路(Reference)を、 V_1 系の LSI 150 と V_2 系の LSI 151 とに共通な接地電位 (GND) にするとプリント基板の設計が容易になる。なお、電源電圧 V_{DDQ} を Reference とする場合、 V_1 電源と V_2 電源とをそれぞれ Reference として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス 152 を流れる信号のリターン電流の経路(Reference)は接地電位 (GND) であることが好ましい。

【0469】

このように、CTT 終端を持つ Push-pull ドライバを用い、伝送線路の特性インピーダンス Z_0 に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、Signal integrityよく信号を送送できる。また、電源電圧 V_{DDQ} は 2 種類、基準電圧 V_{ref} は 2 種類で済む。本実施例では、基準電圧 V_{ref} が 2 種類となるが、それぞれのドライバの電源電圧 V_{DDQ} の値の $1/2$ に設定すればよいので、各ドライバの pMOS トランジスタ及び nMOS

トランジスタのドレインソース間に等価な電位が印加され、pMOSトランジスタ及びnMOSトランジスタを効率的に動作させることが可能であり、入出力容量も低減できる。

【0470】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0471】

Signal integrityがよく、タイミングスキューが抑制され、かつコスト上昇が抑制された、異なる電源電圧で動作する半導体集積回路装置間の信号伝送を実現するための信号伝送システムを得ることができる。

【0472】

すなわち、本発明では、電圧変換用LSIが不要であり、半導体集積回路装置に多種類の電源を供給する必要がない。さらに、電源種類を最小限にしているため、電源コストやPCBの層数が低減される。また、基準電圧を、生成し易い値に設定しているため、その生成が容易である。また、伝送線路の特性インピーダンスと送信側あるいは受信側のインピーダンスを整合させているため、Signal integrityがよい。

【図面の簡単な説明】

【図1】

本発明の信号伝送システムの第1の実施の形態の構成を示すブロック図である。

【図2】

図1に示した第1の実施の形態を実現する、信号伝送システムの第1実施例の構成を示す回路図である。

【図3】

図2に示した信号伝送システムで用いる基準電圧を発生する回路の一構成例を示す回路図である。

【図4】

図 2 に示した第 1 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 5】

図 1 に示した第 1 の実施の形態を実現する、信号伝送システムの第 2 実施例の構成を示す回路図である。

【図 6】

図 5 に示した第 2 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 7】

図 1 に示した第 1 の実施の形態を実現する、信号伝送システムの第 3 実施例の構成を示す回路図である。

【図 8】

図 7 に示した第 3 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 9】

本発明の信号伝送システムの第 2 の実施の形態の構成を示すブロック図である。

【図 10】

本発明の信号伝送システムの第 3 の実施の形態の構成を示すブロック図である。

【図 11】

本発明の信号伝送システムの第 4 の実施の形態の構成を示すブロック図である。

【図 12】

図 11 に示した第 4 の実施の形態を実現する、信号伝送システムの第 4 実施例の構成を示す回路図である。

【図 13】

図 12 に示した第 4 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 1 4】

図 1 4 は本発明の信号伝送システムの第 5 実施例の構成を示す回路図である。

【図 1 5】

図 1 4 に示した第 5 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 1 6】

本発明の信号伝送システムの第 6 実施例の構成を示す回路図である。

【図 1 7】

本発明の信号伝送システムの第 7 実施例の構成を示す回路図である。

【図 1 8】

図 1 7 に示した第 7 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 1 9】

本発明の信号伝送システムの第 8 実施例の構成を示す回路図である。

【図 2 0】

図 1 9 に示した第 8 実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 2 1】

本発明の信号伝送システムの第 9 実施例の構成を示す回路図である。

【図 2 2】

本発明の信号伝送システムの第 1 0 実施例の構成を示す回路図である。

【図 2 3】

本発明の信号伝送システムの第 1 1 実施例の構成を示す回路図である。

【図 2 4】

本発明の信号伝送システムの第 1 2 実施例の構成を示す回路図である。

【図 2 5】

本発明の信号伝送システムの第 1 3 実施例の構成を示す回路図である。

【図 2 6】

本発明の信号伝送システムの第 1 4 実施例の構成を示す回路図である。

【図 27】

本発明の信号伝送システムの第15実施例の構成を示す回路図である。

【図 28】

本発明の信号伝送システムの第16実施例の構成を示す回路図である。

【図 29】

図28に示した第16実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図 30】

図29に示した信号伝送システムで用いる基準電圧を発生する回路の一構成例を示す回路図である。

【図 31】

本発明の信号伝送システムの第5の実施の形態の構成を示すブロック図である。

【図 32】

図31に示した第5の実施の形態を実現する、信号伝送システムの第17実施例の構成を示す回路図である。

【図 33】

図31に示した第5の実施の形態を実現する、信号伝送システムの第18実施例の構成を示す回路図である。

【図 34】

図31に示した第5の実施の形態を実現する、信号伝送システムの第19実施例の構成を示す回路図である。

【図 35】

図31に示した第5の実施の形態を実現する、信号伝送システムの第20実施例の構成を示す回路図である。

【図 36】

図31に示した第5の実施の形態を実現する、信号伝送システムの第21実施例の構成を示す回路図である。

【図 37】

本発明の信号伝送システムの第6の実施の形態の構成を示すブロック図である。

。

【図38】

図37に示した第6の実施の形態を実現する、信号伝送システムの第22実施例の構成を示す回路図である。

【図39】

図37に示した第6の実施の形態を実現する、信号伝送システムの第23実施例の構成を示す回路図である。

【図40】

図37に示した第6の実施の形態を実現する、信号伝送システムの第24実施例の構成を示す回路図である。

【図41】

図37に示した第6の実施の形態を実現する、信号伝送システムの第25実施例の構成を示す回路図である。

【図42】

本発明の信号伝送システムの第26実施例の構成を示す回路図である。

【図43】

本発明の信号伝送システムの第27実施例の構成を示す回路図である。

【図44】

図42に示した第26実施例及び図43に示した第27実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図45】

本発明の信号伝送システムの第28実施例の構成を示す回路図である。

【図46】

図45に示した第28実施例の信号伝送システムを一般化した回路の構成を示す回路図である。

【図47】

異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来のシステムの構成を示すブロック図である。

【図 4 8】

異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来のシステムの他の構成を示すブロック図である。

【図 4 9】

図 4 8 に示した信号伝送システムの具体例の構成を示す回路図である。

【図 5 0】

異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する信号伝送システムの構成を示すブロック図である。

【図 5 1】

図 5 0 に示した信号伝送システムの具体例の構成を示す回路図である。

【図 5 2】

異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する信号伝送システムの他の構成を示すブロック図である。

【図 5 3】

図 5 2 に示した信号伝送システムの具体例の構成を示す回路図である。

【図 5 4】

図 5 0 及び図 5 2 に示した信号伝送システムの問題点を示す波形図である。

【符号の説明】

1、21、30、55、70、80、90、100、130、131、140、150 1. 5V系のLSI
2、16、31、51、56、71、81、91、101、102、132、141、151 1. 2V系のLSI
3、15、22、32、41、57、72、82、92、104、105、133、134、142、152、162、163 双方向バス
4、6、18、24、33、35、42、44 ドライバ
5、7、19、23、34、36、43、45 レシーバ
8a、8b、9a、9b、20a、20b、25a、25b、37、39、46、48、60a、60b、62a、62b、66a、66b、68a、68b、74、76、84、86、94、96、107、109、111、113、1

15a、115b、117a、117b、119a、119b、121a、121b、136a、136b、138a、138b、140a、140b、142a、142b、144a、144b、147a、147b、154a、154b、156a、156b、164、174 抵抗器

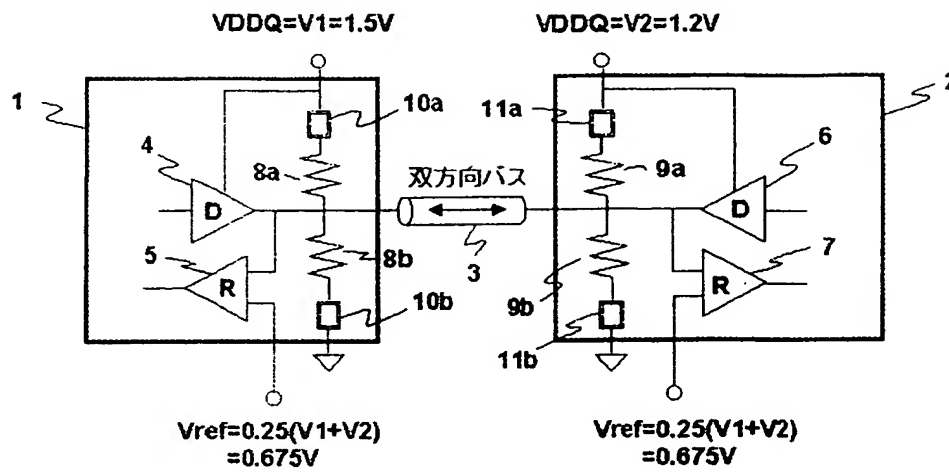
10a、10b、11a、11b、38、40、47、49 スイッチ

4a、6a、33a、35a、59a、61a、65a、67a、73a、75a、93a、95a、114a、116a、118a、120a、135a、137a、139a、141a、143a、145a、153a、155a、160a、161a、170a、171a pMOSトランジスタ

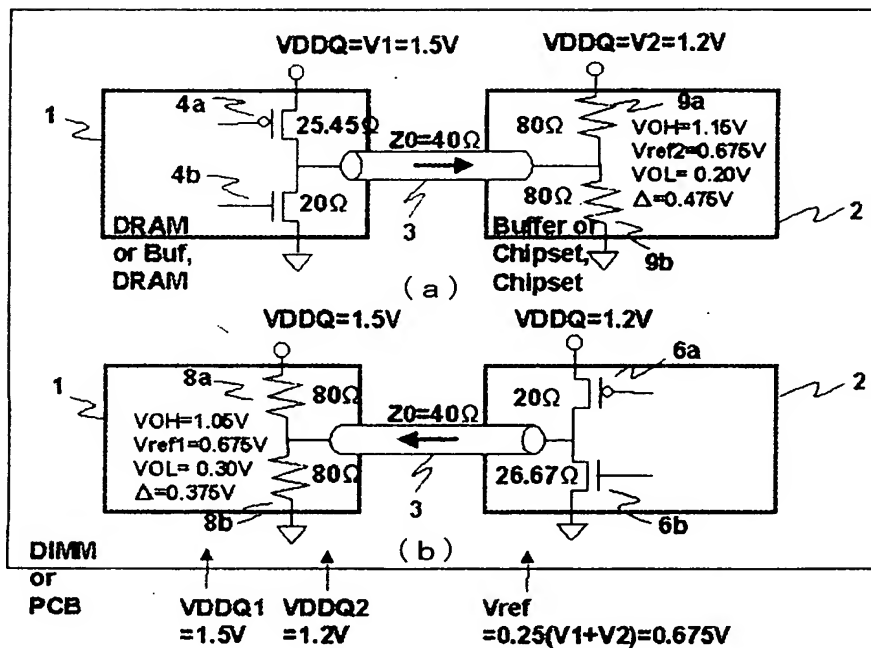
4b、6b、33b、35b、59b、61b、65b、67b、73b、75b、83、85、93b、95b、106、108、110、112、114b、116b、118b、120b、135b、137b、139b、141b、143b、145b、153b、155b、160b、161b、170b、171b nMOSトランジスタ

【書類名】 図面

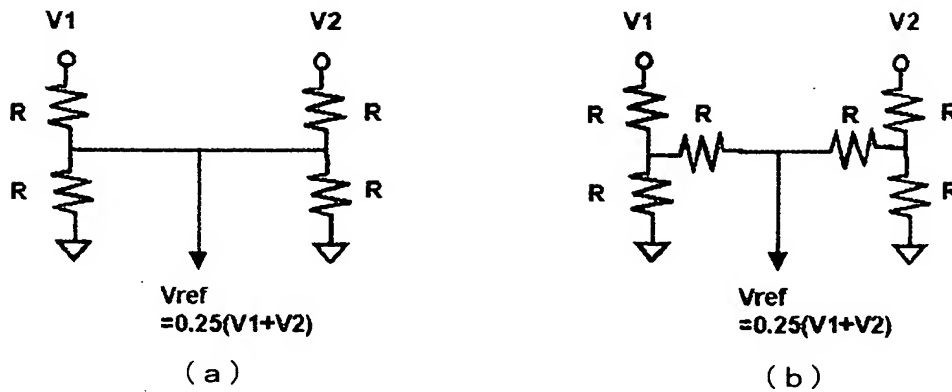
【図 1】



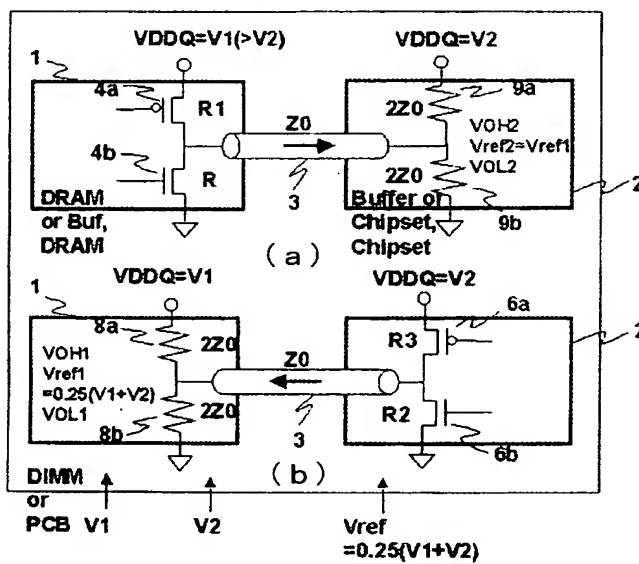
【図 2】



【図 3】



【図 4】



$$R \leq Z_0$$

$$R1 = Z_0(V2 - Z_0 - V1 \cdot R - V1 \cdot Z_0) / (V2 - R - V1 \cdot Z_0 - V1 \cdot R)$$

$$VOH2 = (V1 - 0.5V2)Z_0 / (R1 + Z_0) + 0.5V2$$

$$VOL2 = 0.5V2 \cdot R / (Z_0 + R)$$

$$R3 \leq Z_0$$

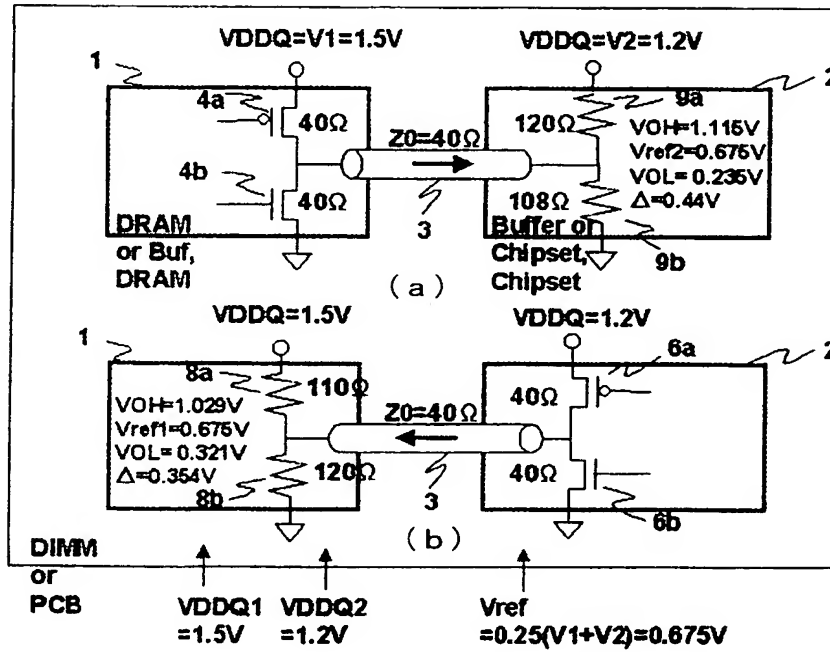
$$R2 = Z_0(V1 \cdot Z_0 + V2 \cdot R3 - V2 \cdot Z_0) / (V1 \cdot R3 + V2 \cdot Z_0 - V2 \cdot R3)$$

$$VOH1 = (V2 - 0.5V1)Z_0 / (R3 + Z_0) + 0.5V1$$

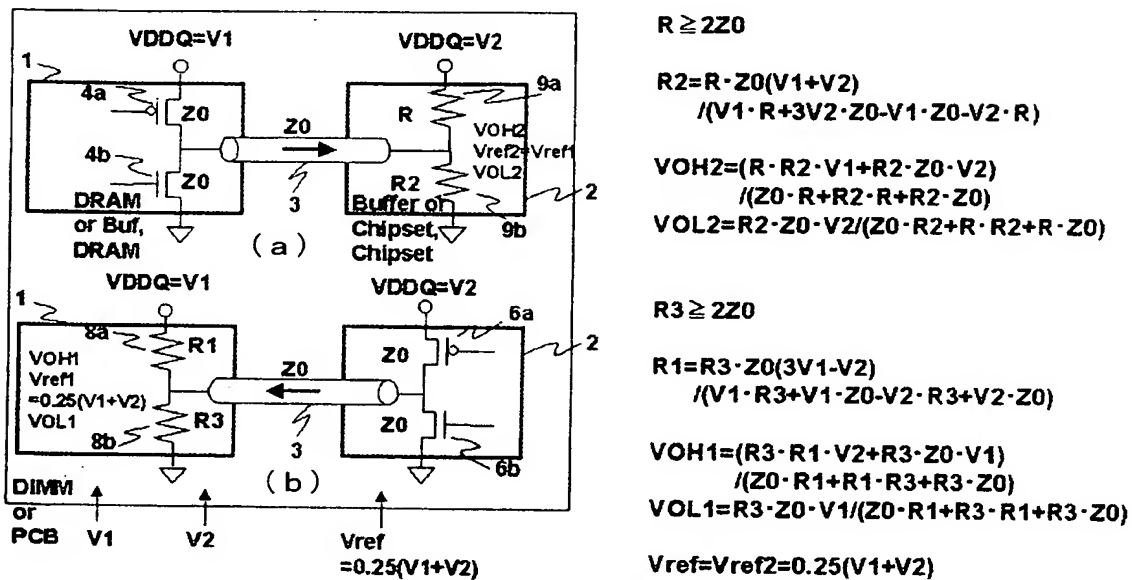
$$VOL1 = 0.5V1 \cdot R2 / (R2 + Z_0)$$

$$Vref = Vref2 = 0.25(V1 + V2)$$

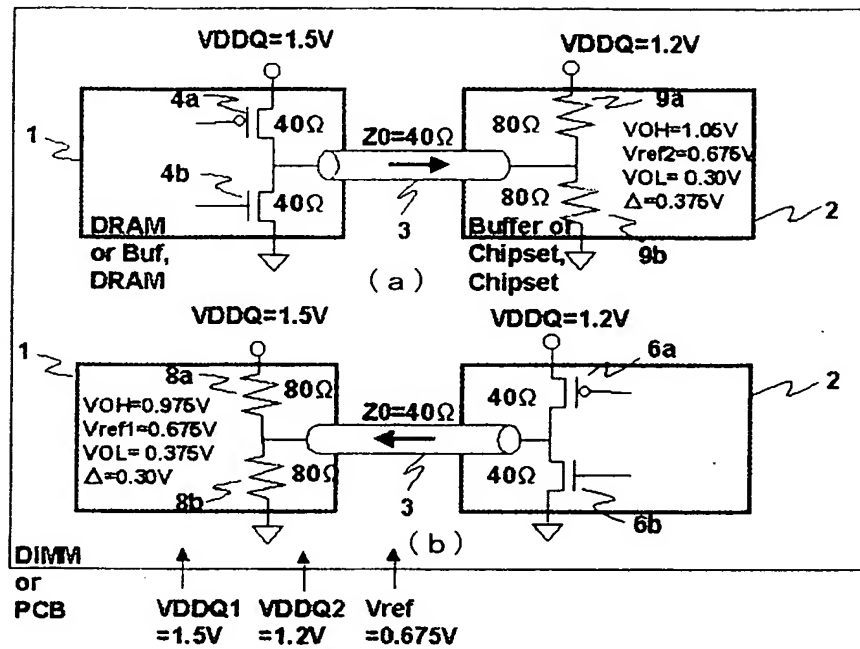
【図 5】



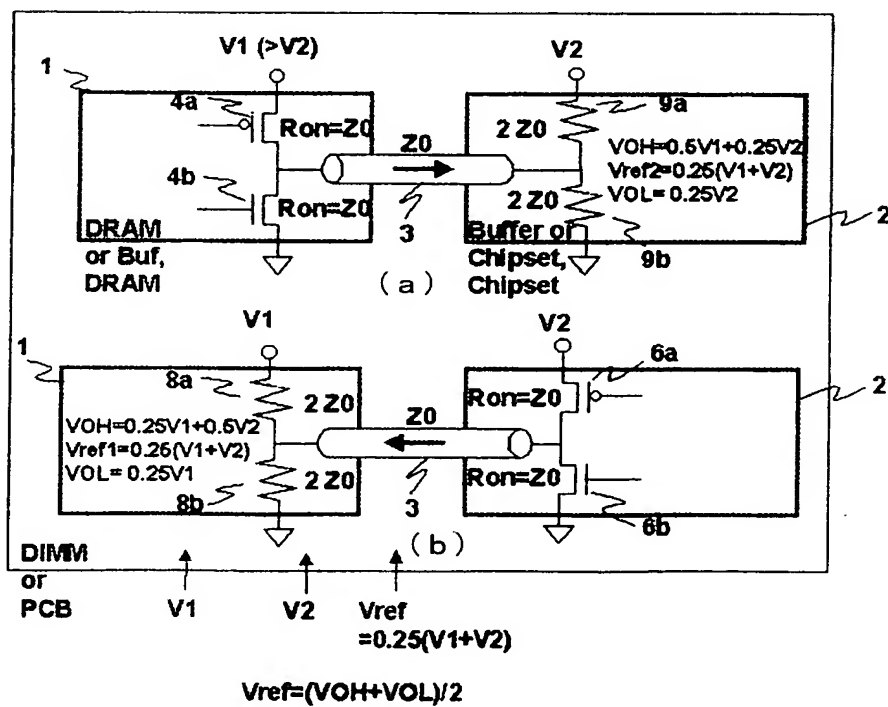
【図 6】



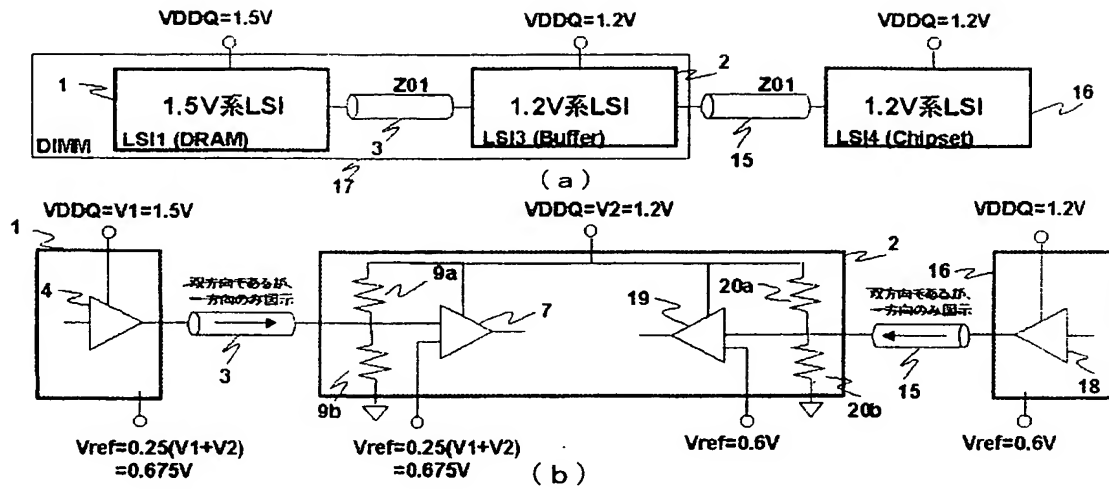
【図 7】



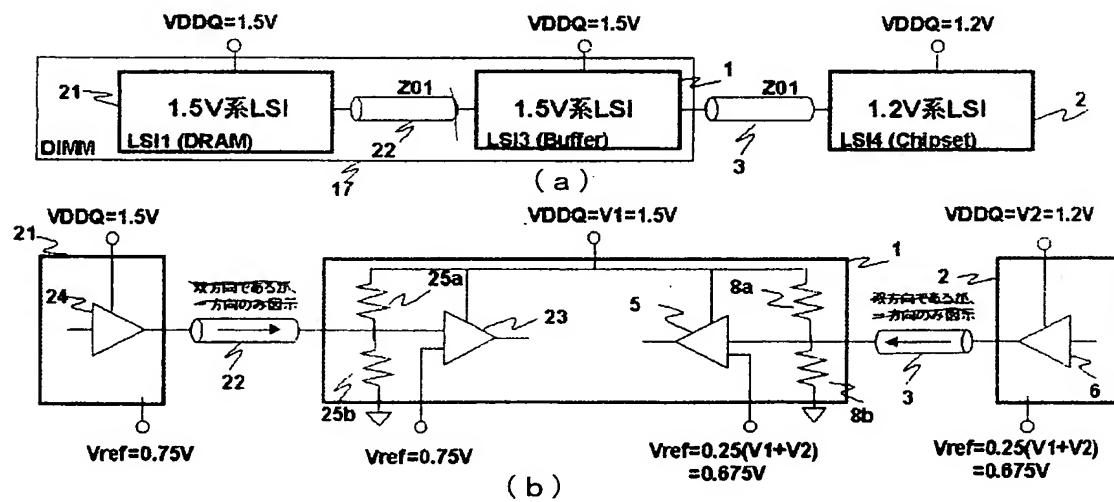
【図 8】



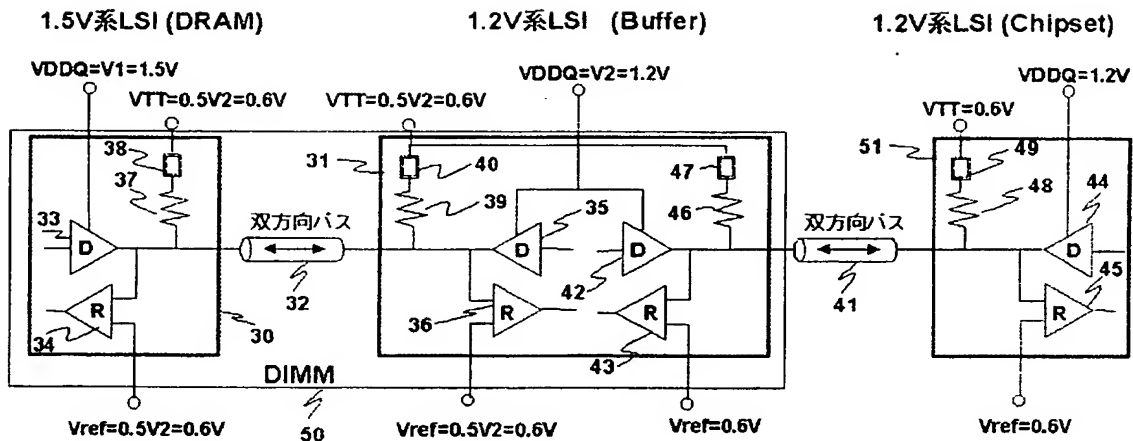
【図 9】



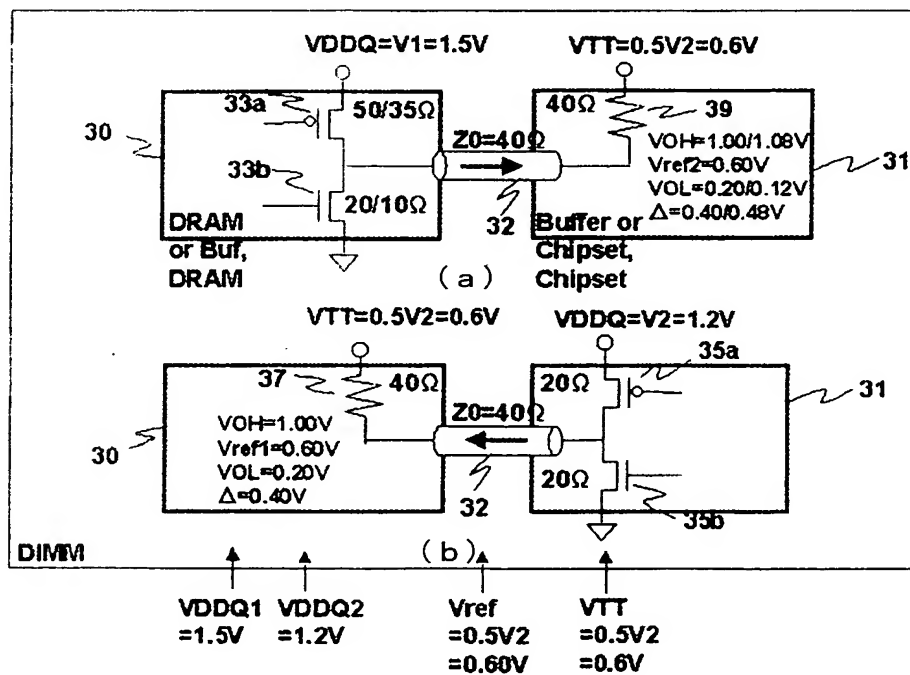
【図 10】



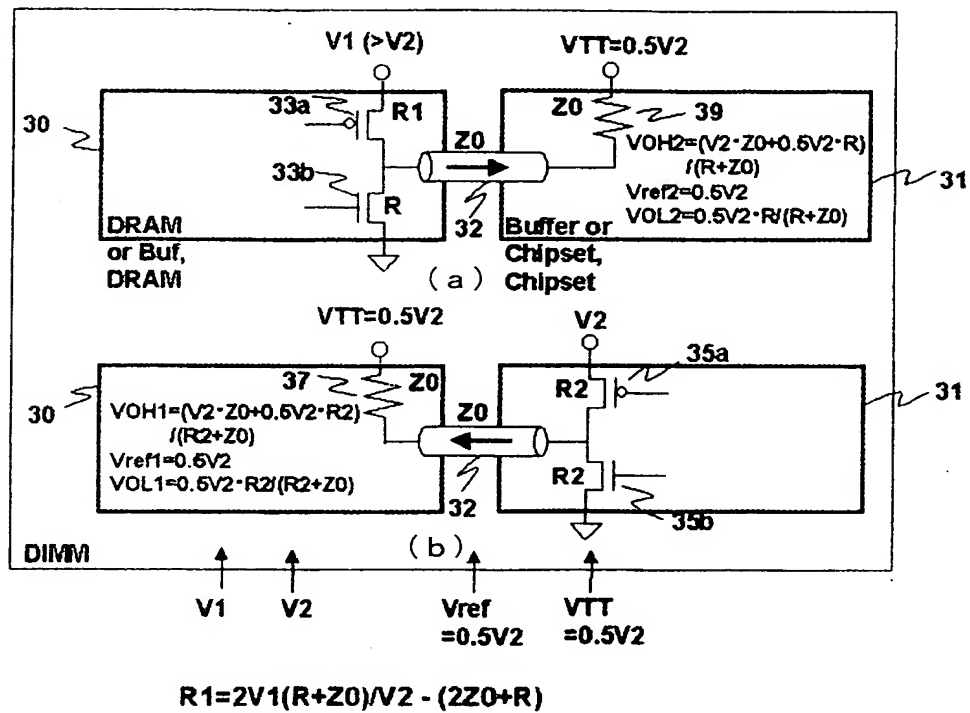
【図 11】



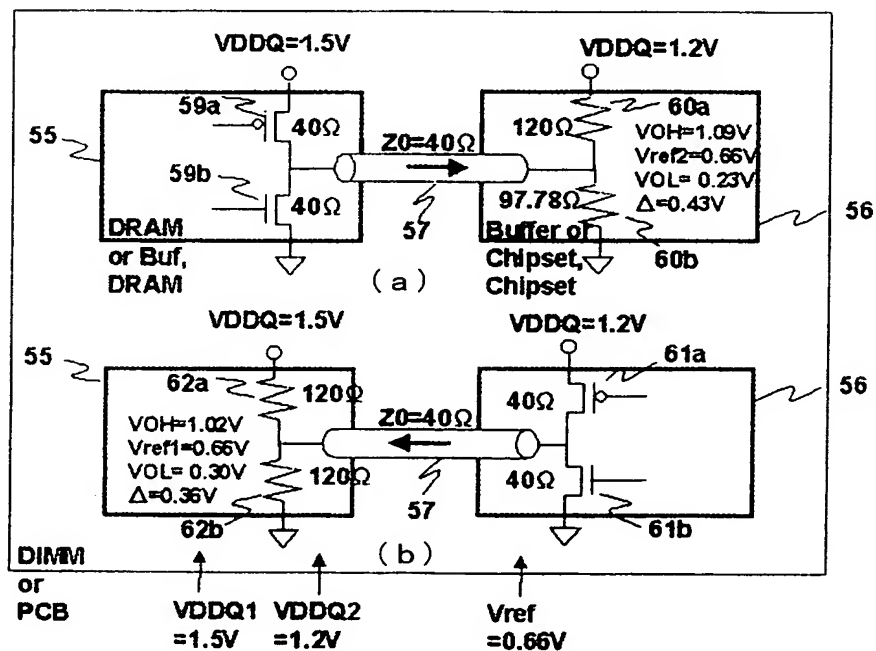
【図 12】



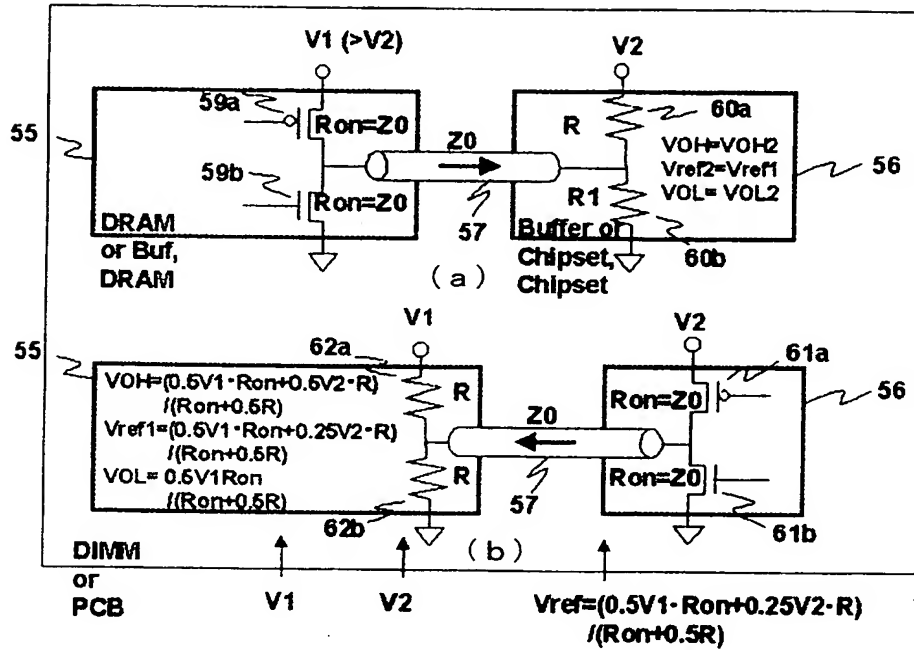
【図 13】



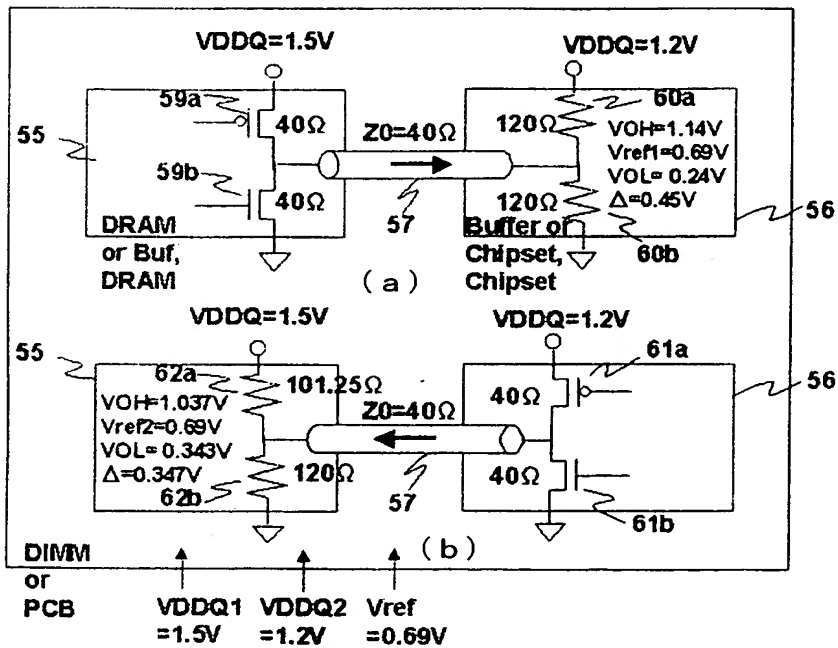
【図 14】



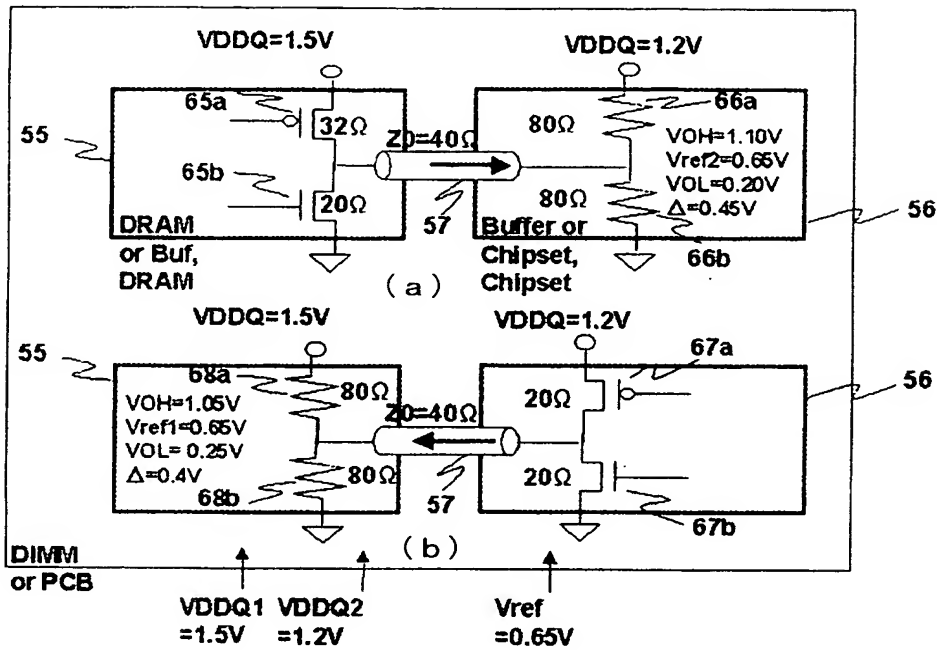
【図 15】



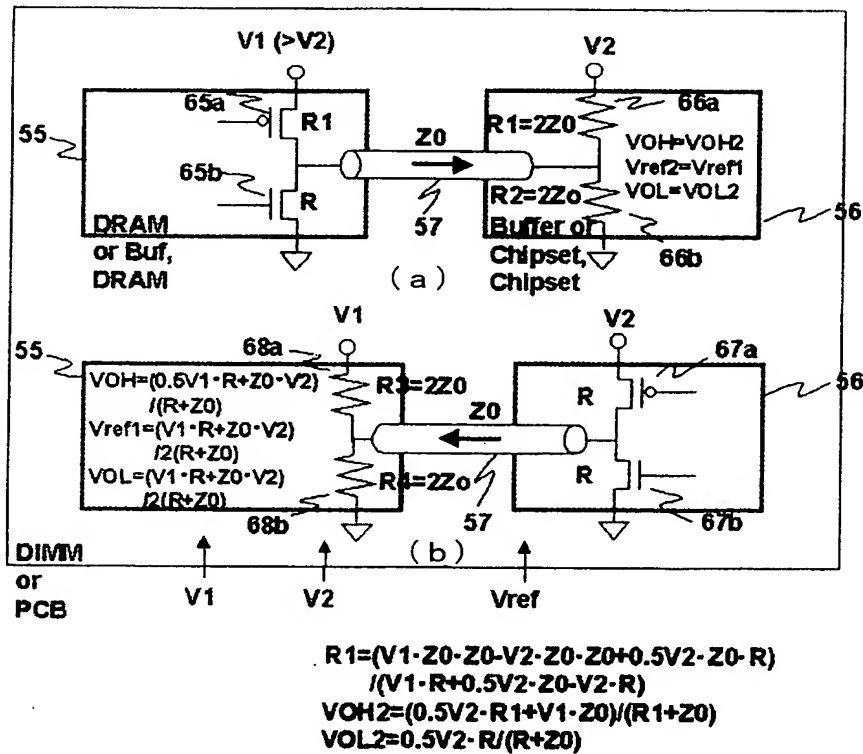
【図 16】



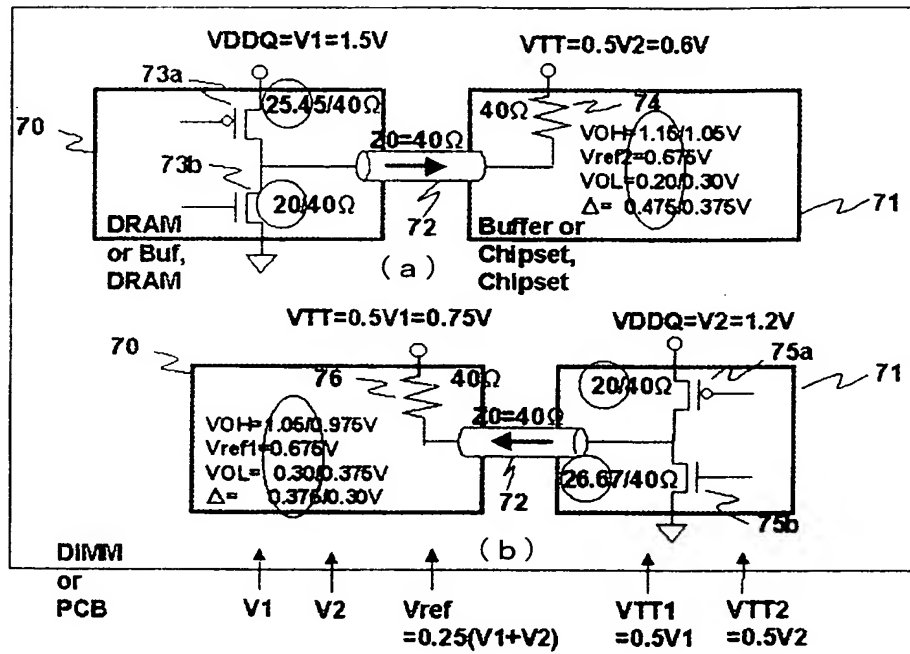
【図 17】



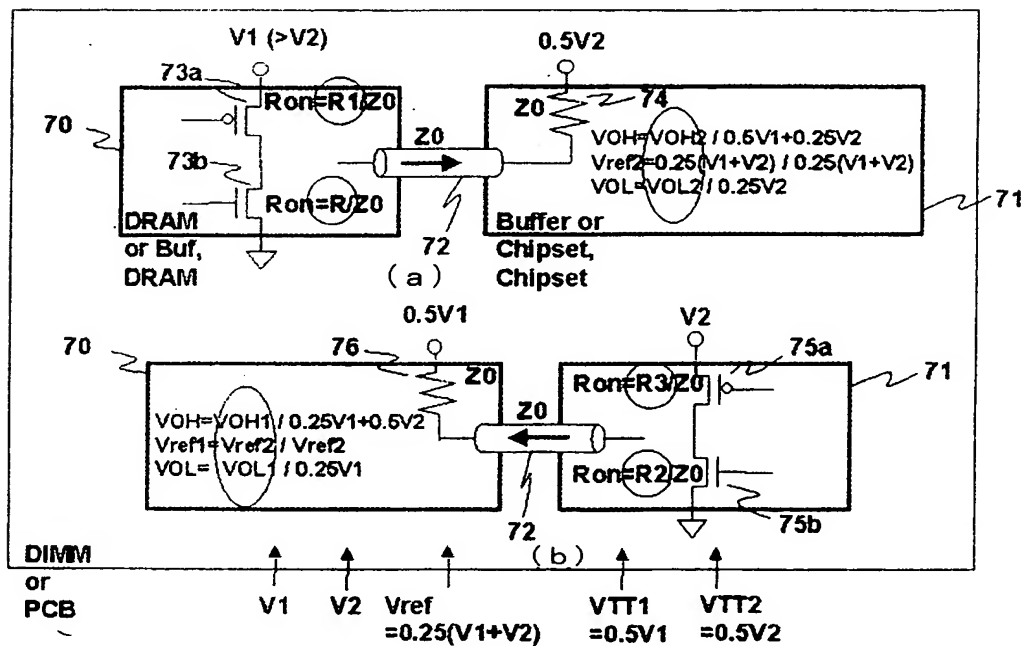
【図 18】



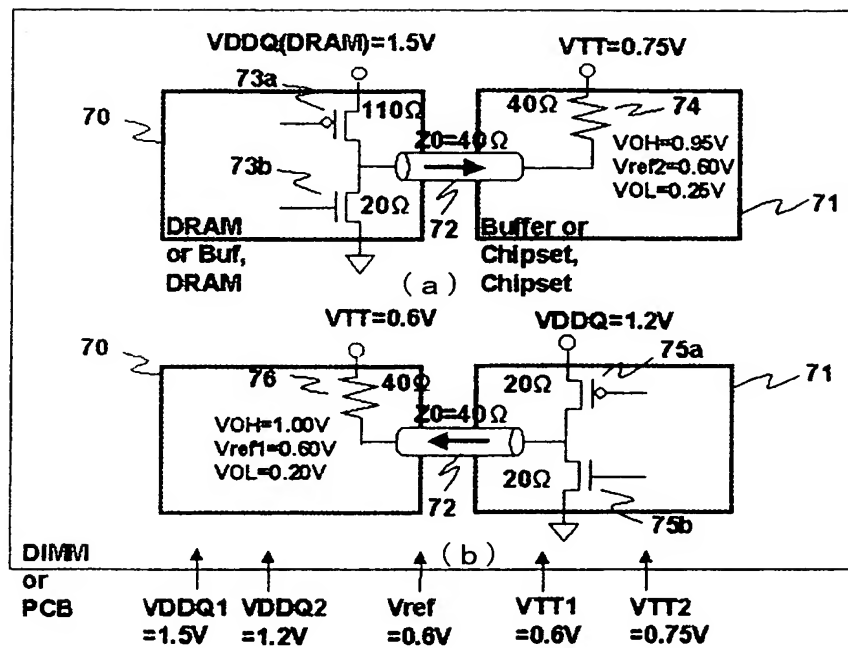
【図 19】



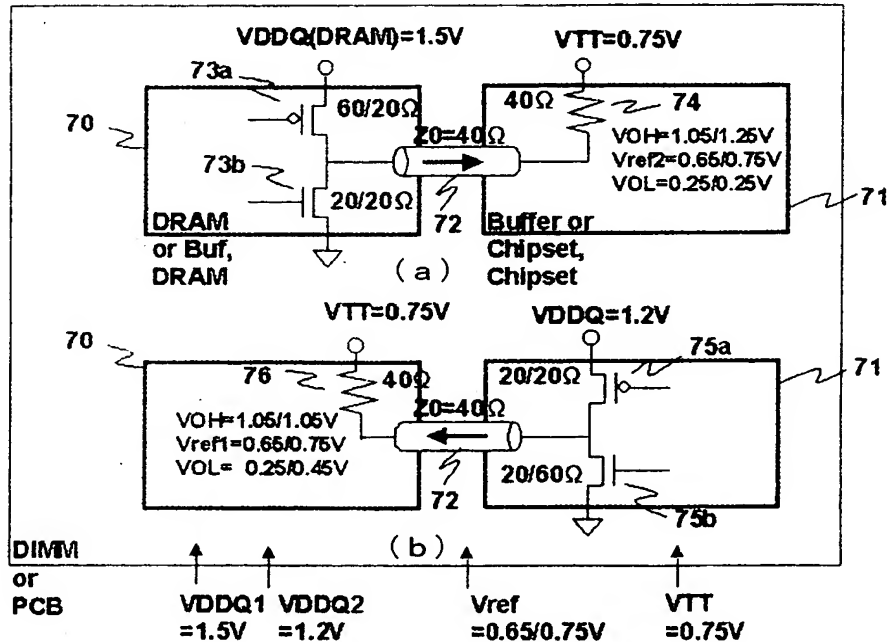
【図 20】



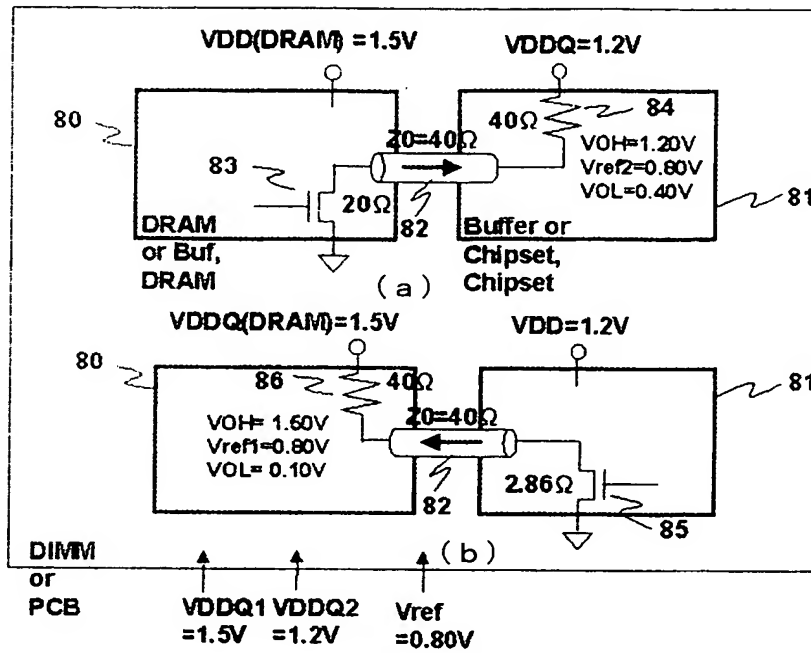
【図 21】



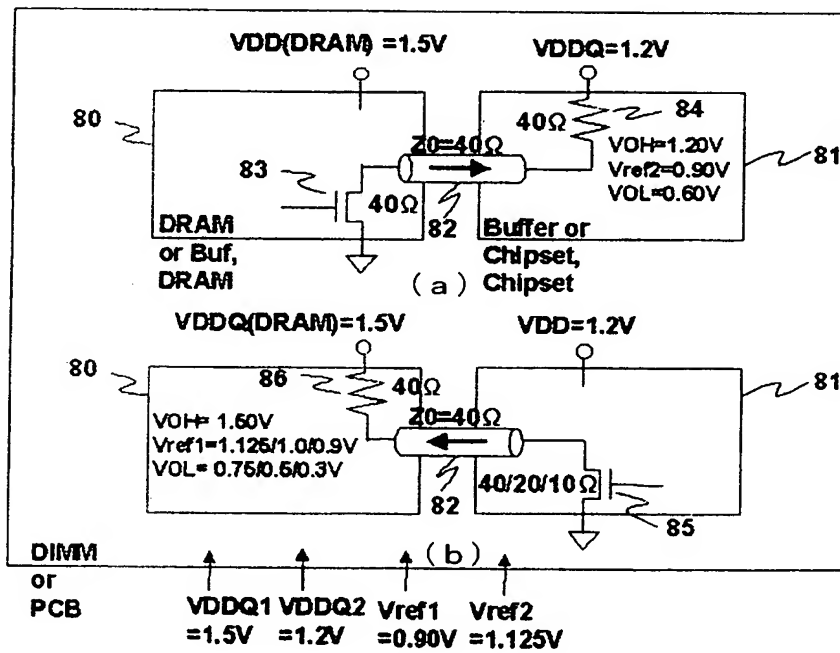
【図 22】



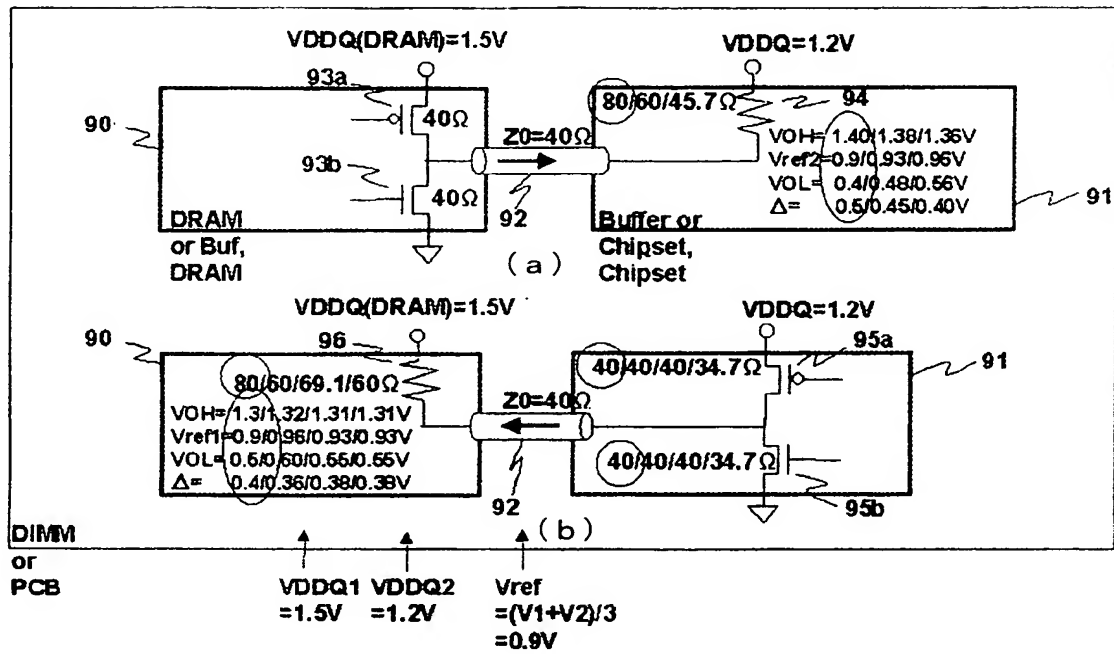
【図 25】



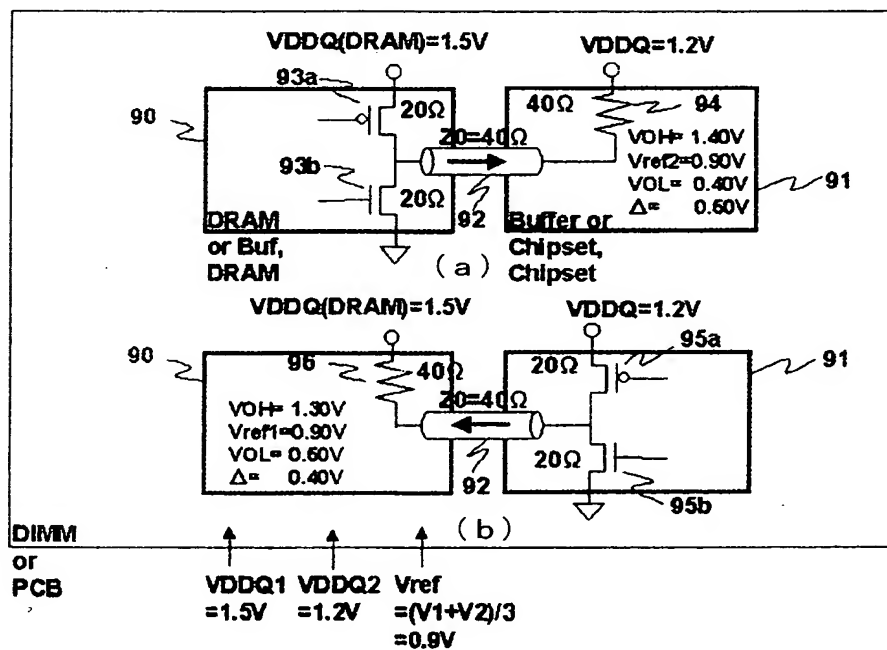
【図 26】



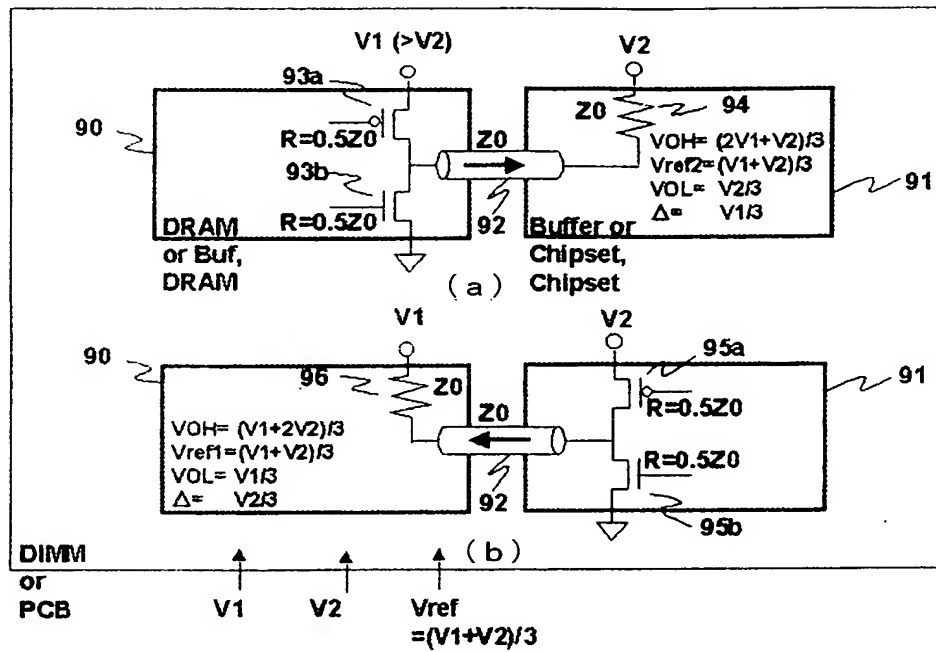
【図 27】



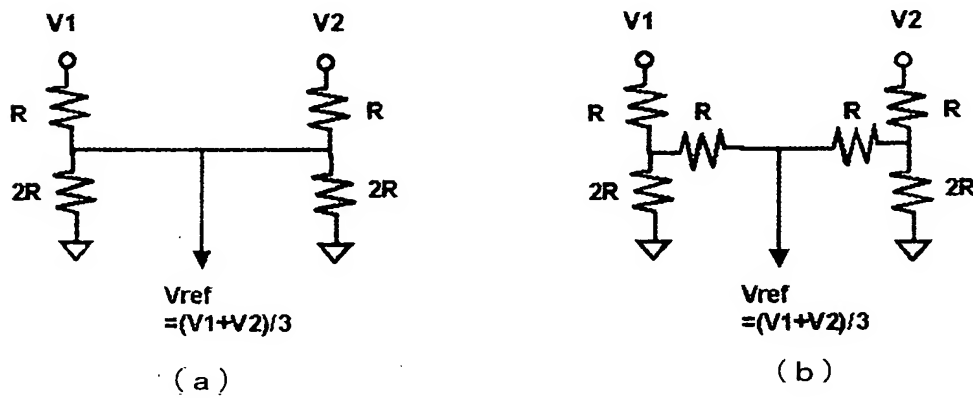
【図 28】



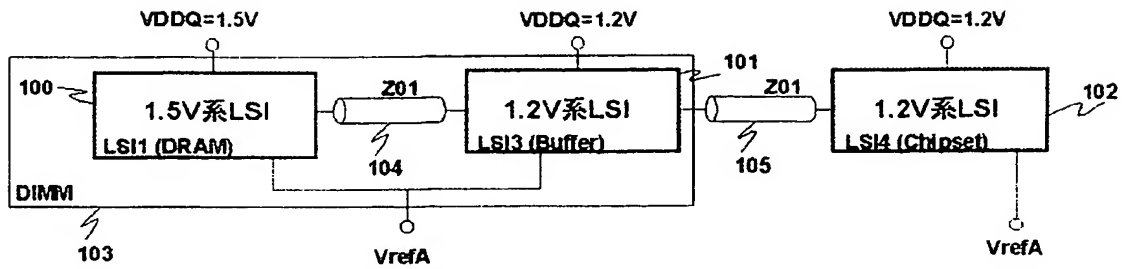
【図 29】



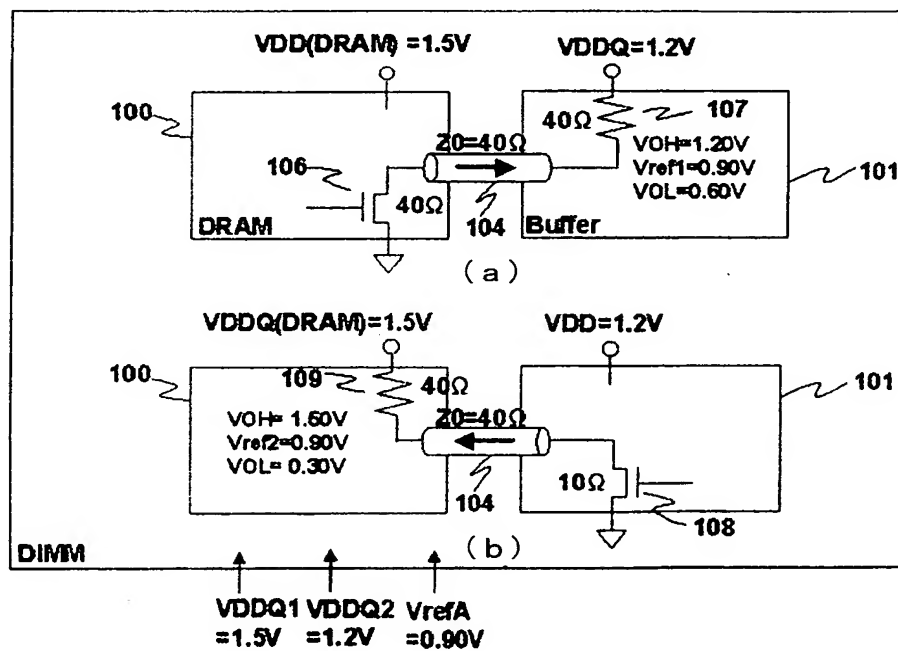
【図 30】



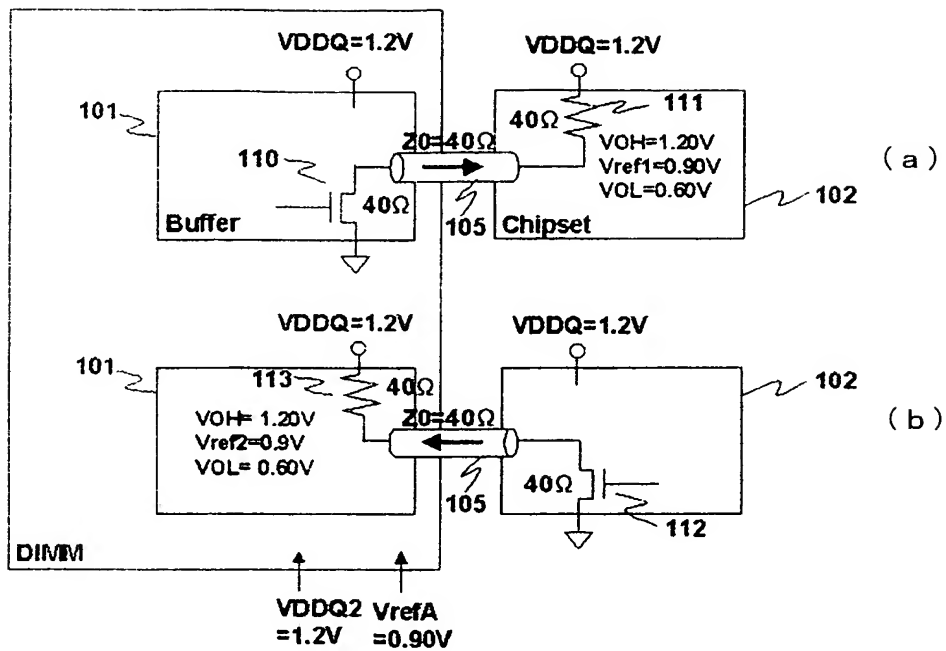
【図 3 1】



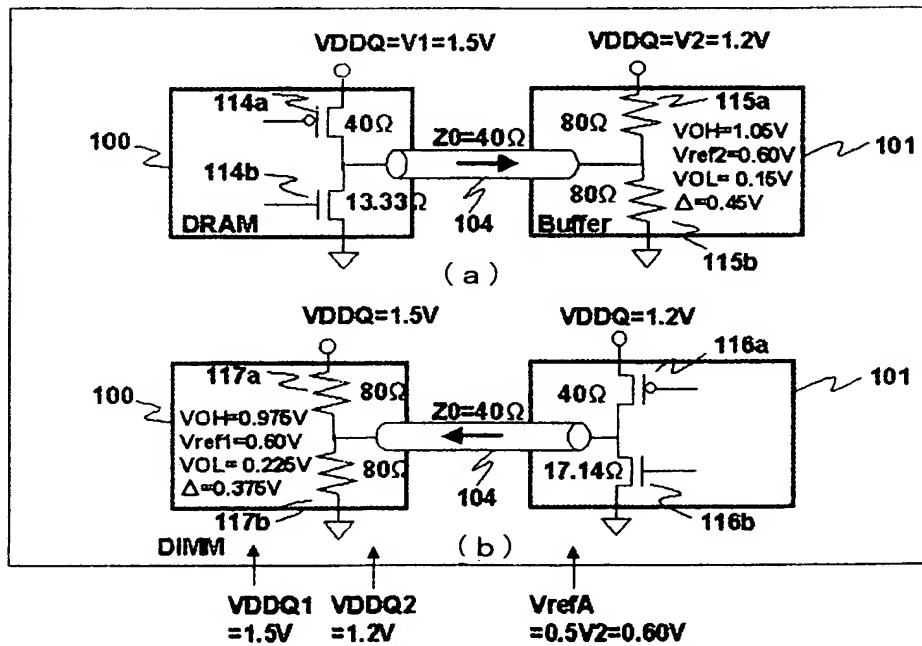
【図 3 2】



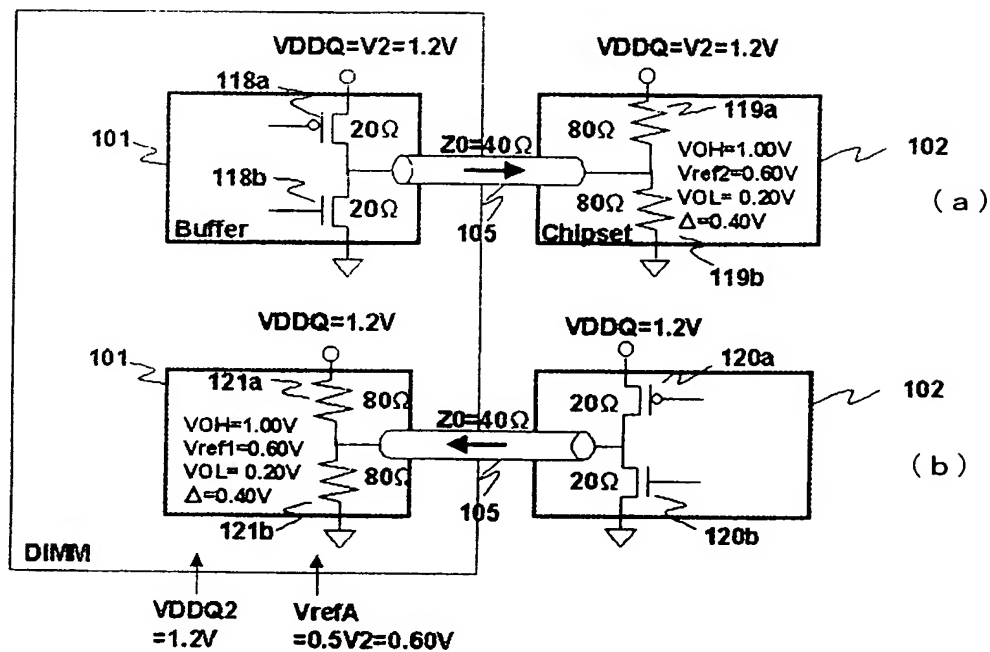
【図 3 3】



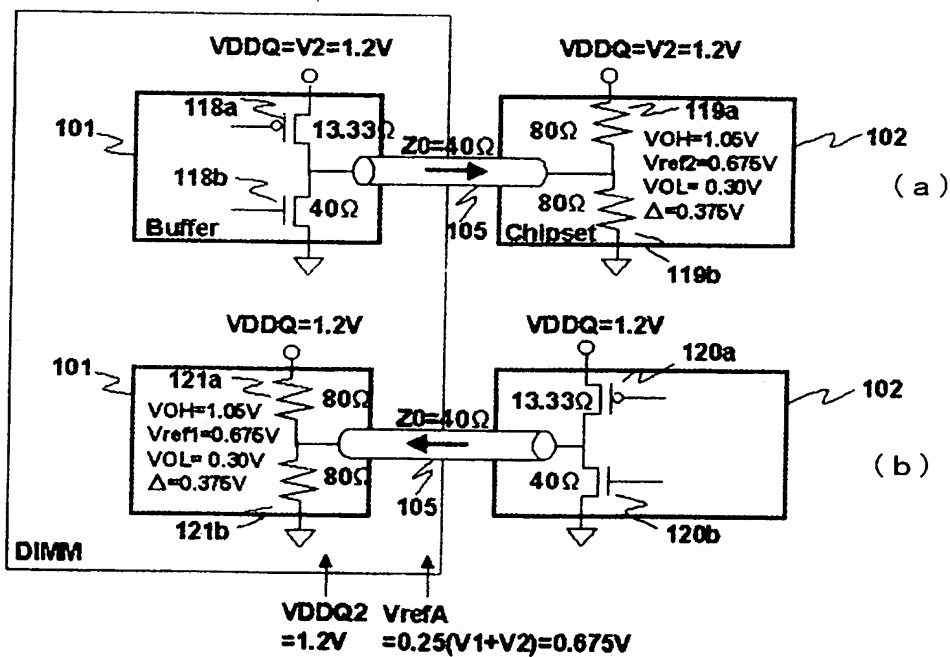
【図 3 4】



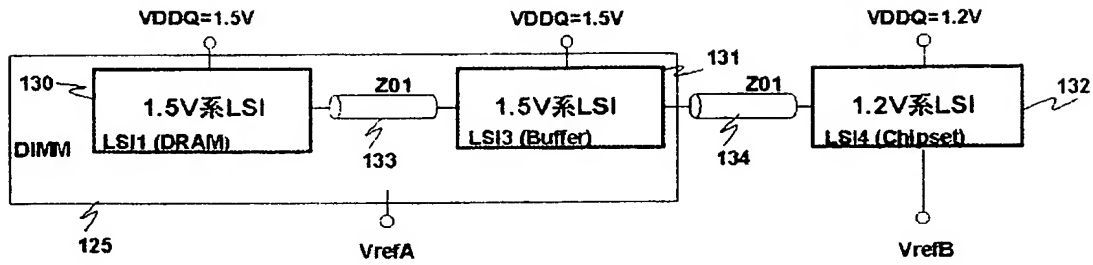
【図 35】



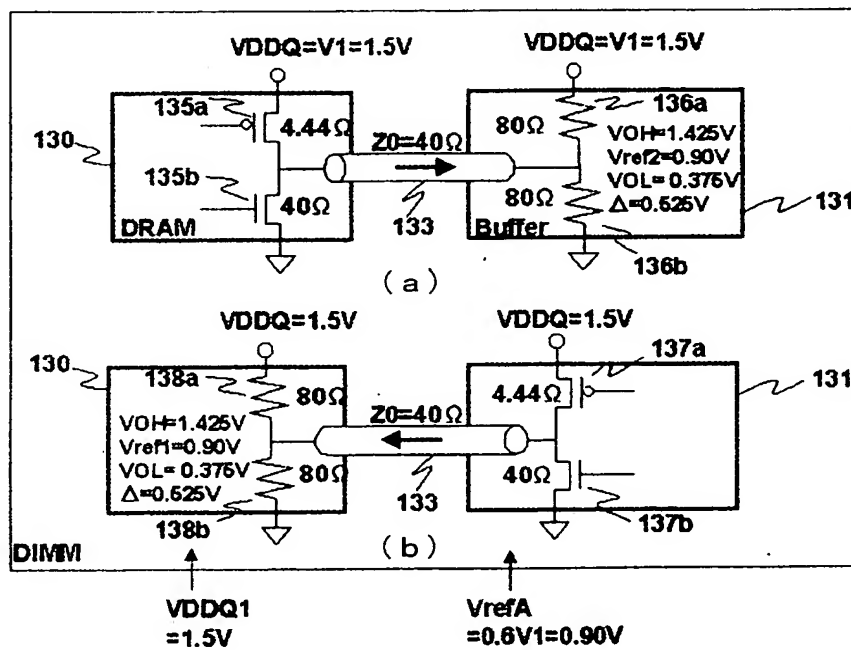
【図 36】



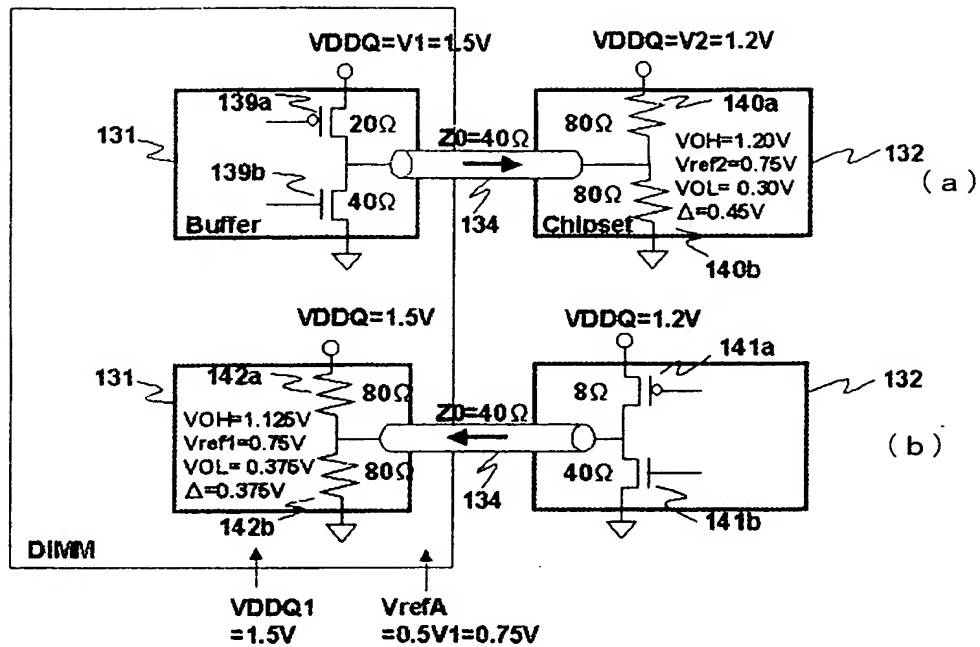
【図 37】



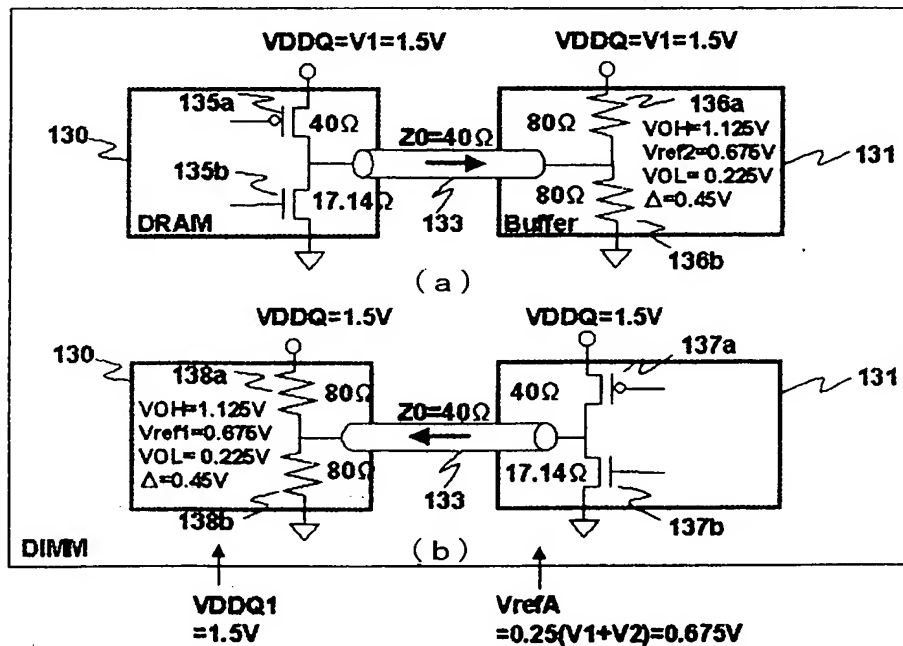
【図 38】



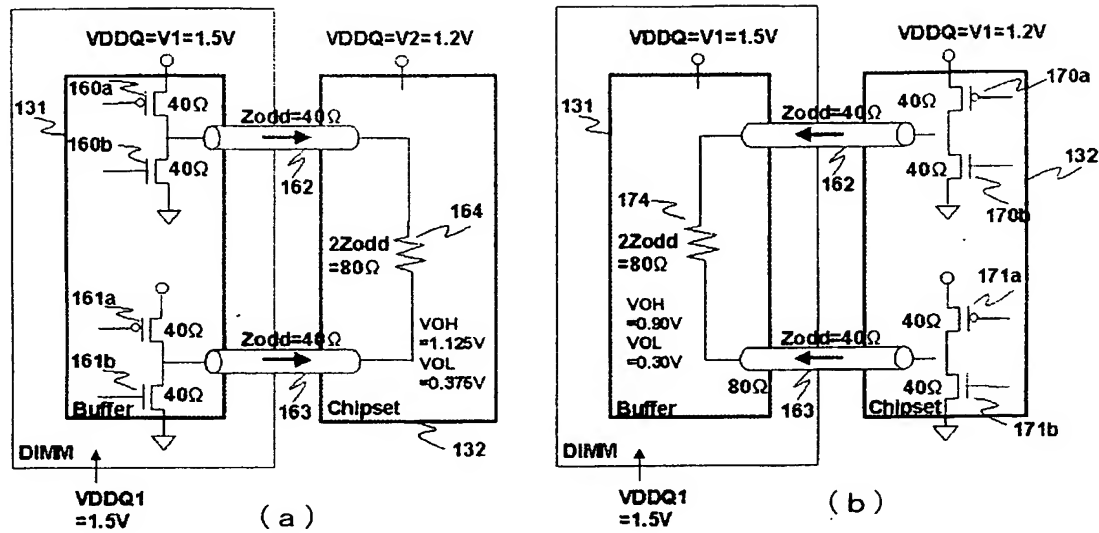
【図 39】



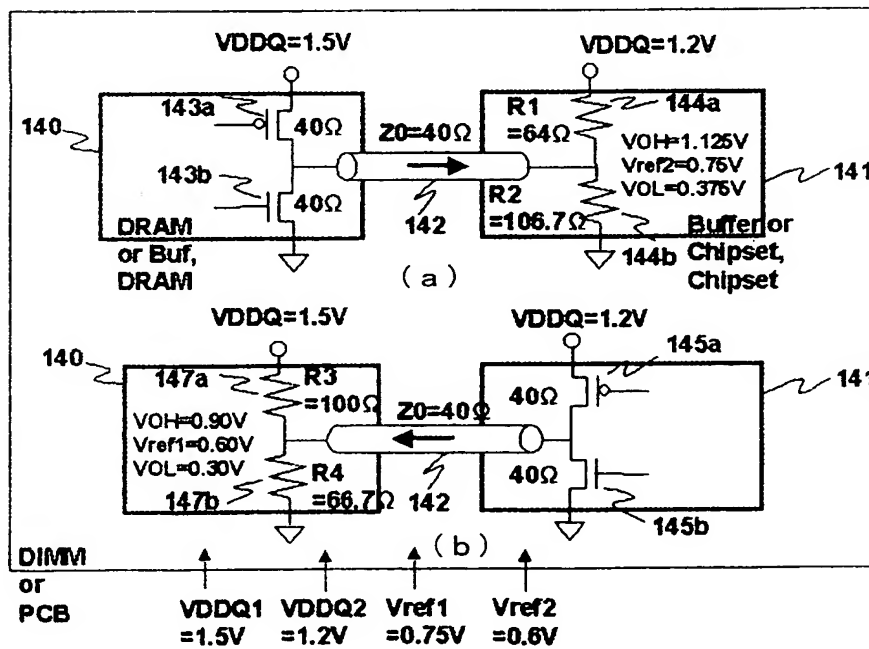
【図 40】



【図 4 1】

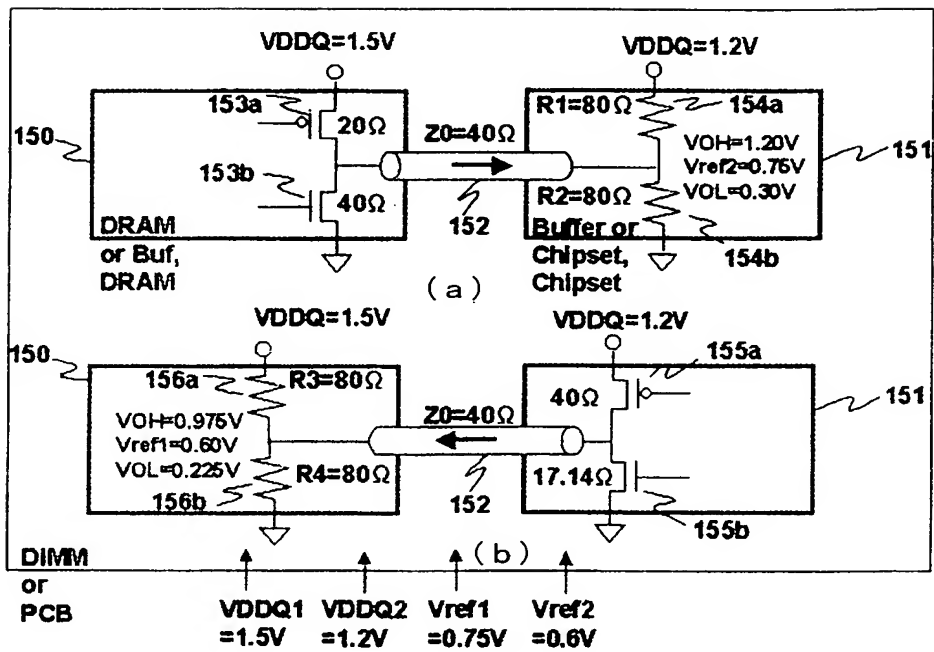


【図 4 2】

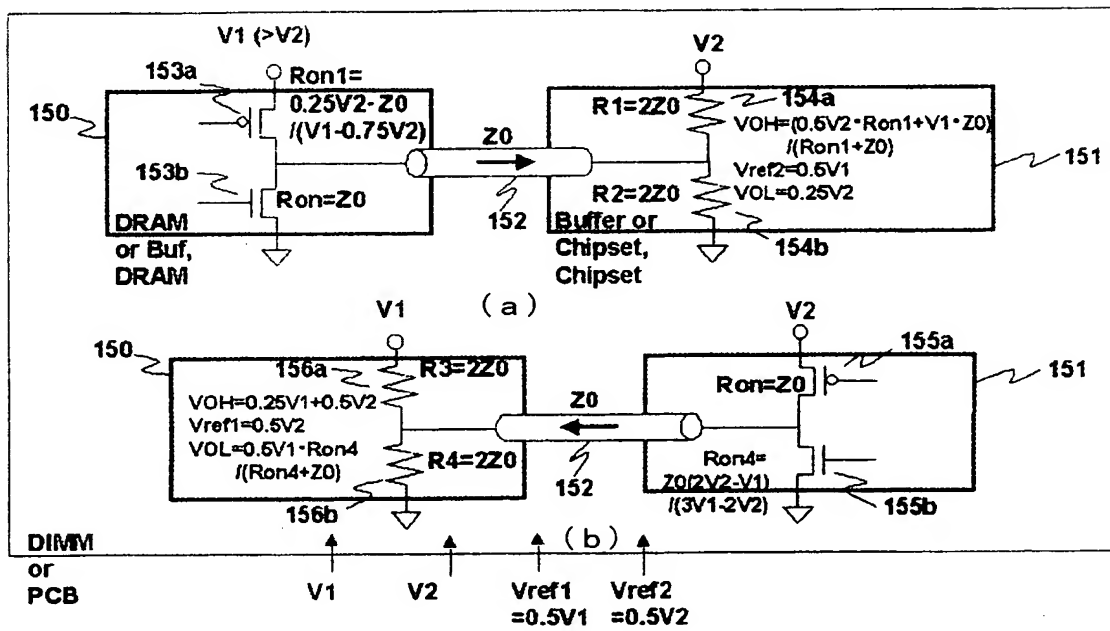


$$m=(R1//R2)/Z0=s=(R3/R4)/Z0=1.0$$

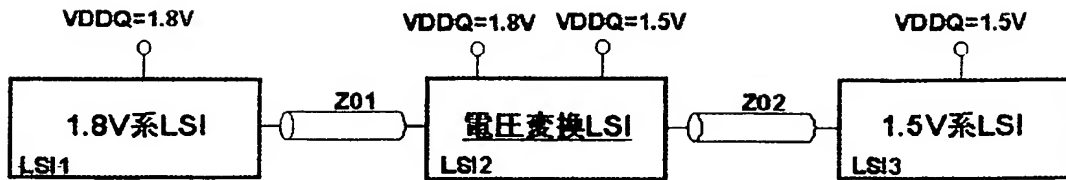
【図 4 5】



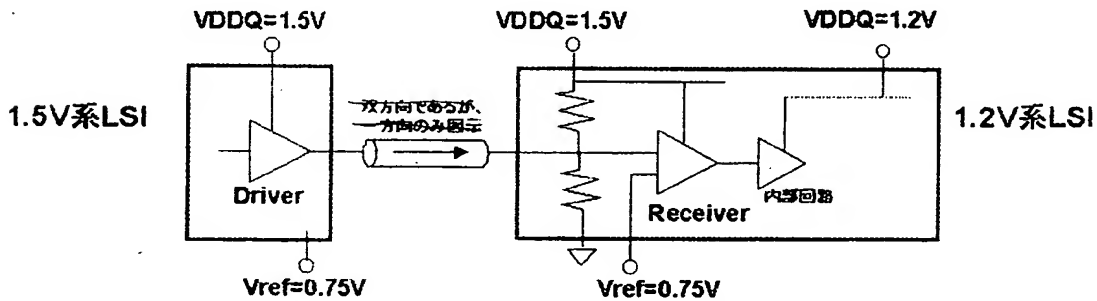
【図 4 6】



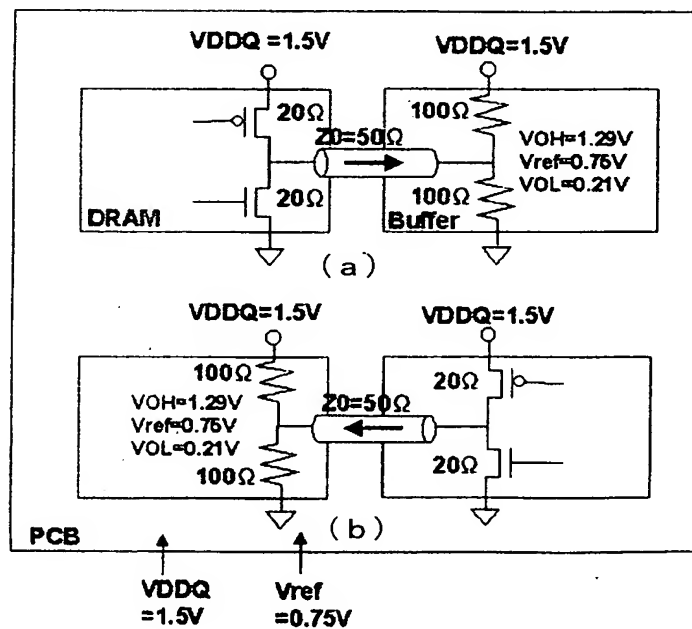
【図 4 7】



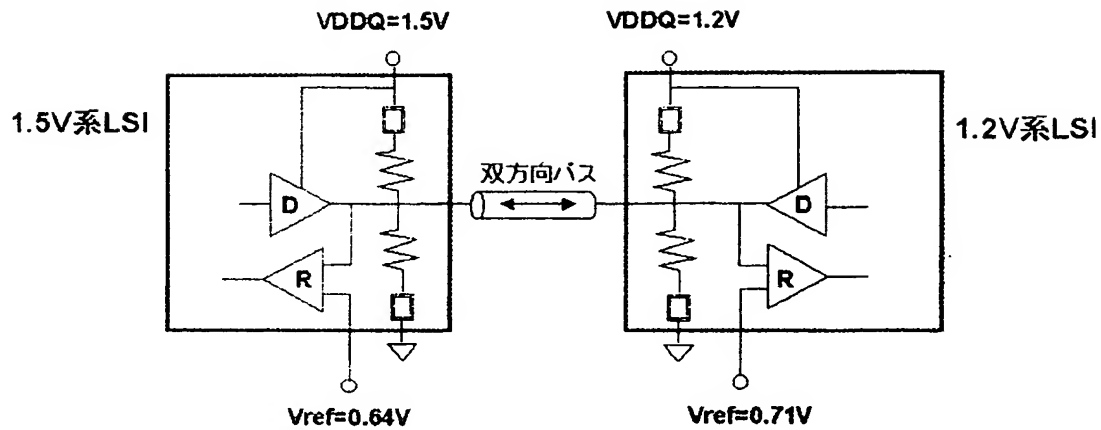
【図 4 8】



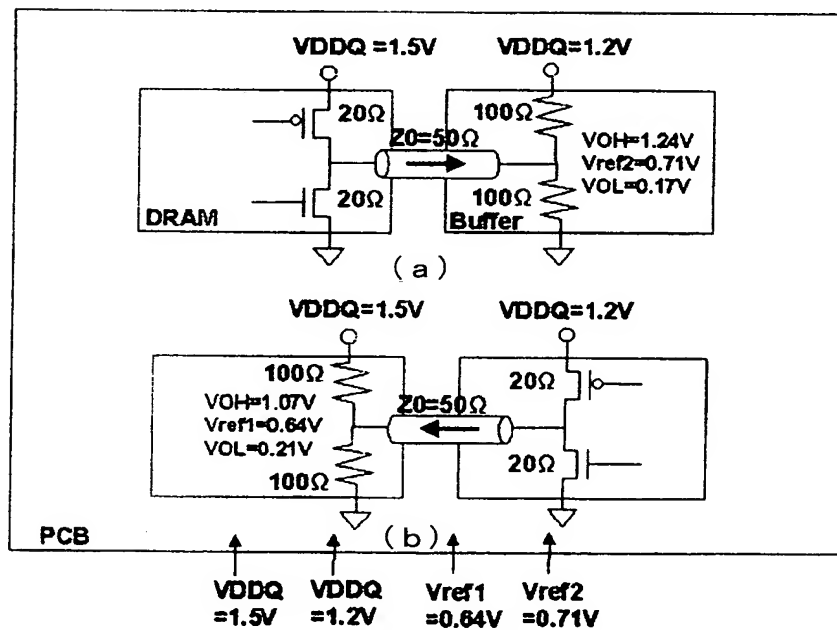
【図 4 9】



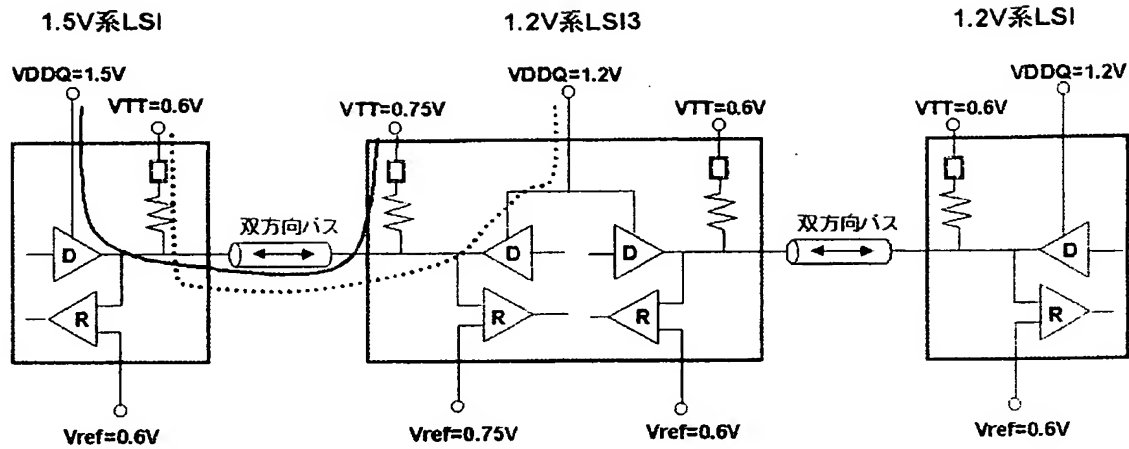
【図 50】



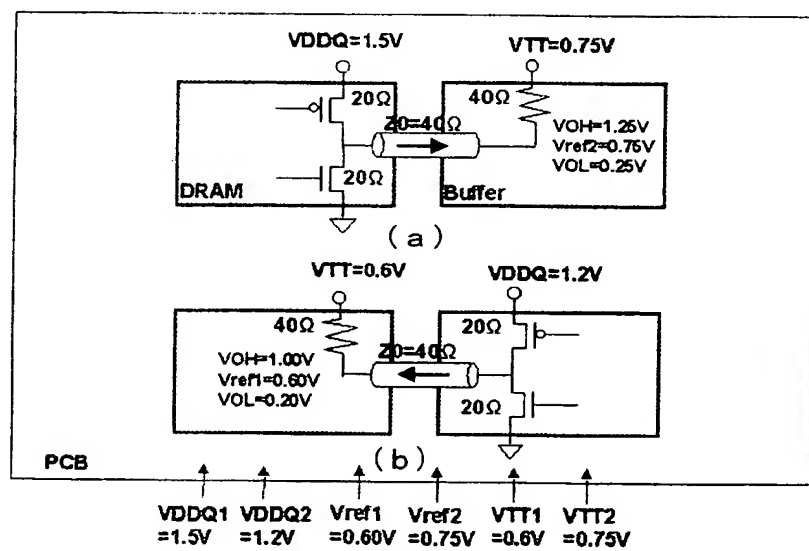
【図 51】



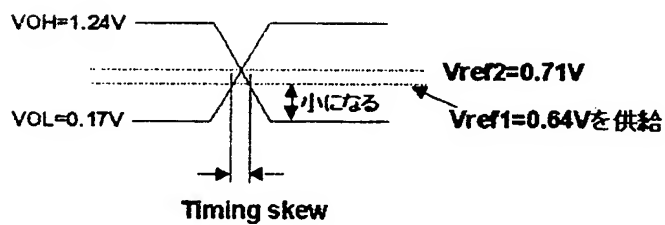
【図 5 2】



【図 5 3】



【図 5 4】



【書類名】 要約書

【要約】

【課題】 異なる電源電圧で動作する半導体集積回路装置間のタイミングスキューを抑制すると共にコストの上昇を抑制した信号伝送システムを提供する。

【解決手段】 異なる電源電圧で動作する半導体集積回路装置間で信号を送受信するための信号伝送システムであって、各半導体集積回路装置間を接続する所定の特性インピーダンスを備えた伝送線路と、半導体集積回路装置がそれぞれ備えるPush-pull構成のドライバと、終端抵抗により信号受信端がC T T終端されたレシーバとを有し、終端抵抗が特性インピーダンスと一致しているときは、2つの半導体集積回路装置に供給される基準電圧が等しくなるようにドライバのオン抵抗が設定され、ドライバのオン抵抗が特性インピーダンスと一致しているときは、2つの半導体集積回路装置に供給される基準電圧が等しくなるように終端抵抗が設定された構成とする。

【選択図】 図 1

特願 2 0 0 3 - 1 0 1 7 4 1

出 願 人 履 歴 情 報

識別番号 [5 0 0 1 7 4 2 4 7]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社